



**Politecnico di Milano**

# **Dipartimento di Elettronica e Informazione**

prof.ssa Anna Antola  
prof. Fabrizio Ferrandi

prof.ssa Cristiana Bolchini

---

## **Reti Logiche A – II Prova - 11 febbraio 2008**

**Matricola** \_\_\_\_\_

**Cognome** \_\_\_\_\_ **Nome** \_\_\_\_\_

### **Istruzioni**

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Per la soluzione degli esercizi adottare algoritmi studiati e non affrontare i problemi ad occhio.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:00m.

**Esercizio 1 (8 punti)** \_\_\_\_\_

**Esercizio 2 (9 punti)** \_\_\_\_\_

**Esercizio 3 (7 punti)** \_\_\_\_\_

**Esercizio 4 (6 punti)** \_\_\_\_\_

### Esercizio n. 1

Si risponda alle seguenti domande

- Data la macchina sequenziale rappresentata dalla tabella degli stati T1, si dica se la tabella degli stati T2 rappresenta una macchina compatibile ridotta rispetto a T1, giustificando opportunamente la risposta in relazione all'esempio in esame.
- Si consideri la seguente affermazione: "T4 è una macchina a stati compatibile a T3". Ha senso cercarne un'altra? Giustificare la risposta.
- Data la macchina sequenziale rappresentata dalla tabella degli stati T1, si calcoli la tabella degli stati di una macchina ridotta, mostrando i passaggi fatti (analisi di compatibilità, classi di compatibilità massima e prima, copertura minima).

	0	1
A	D/0	B/-
B	-/-	B/1
C	E/0	A/-
D	A/0	E/-
E	C/0	-/0

**T1**

	0	1
X	Z/0	X/1
Y	Z/0	X/0
Z	X/0	Y/0

**T2**

Dove

X= {A,B,C}

Y= {A,E}

Z= {C,D,E}

### Esercizio n. 2

Un circuito riconosce sull'ingresso di 1 bit I le sequenze di quattro bit consecutivi in cui è presente un solo 1 (ovvero 1000, 0100, 0010 e 0001), mettendo l'uscita Z = 1 in corrispondenza dell'ultimo bit della sequenza riconosciuta. Si devono riconoscere sequenze sovrapposte, ovvero anche 01000101 -> 0100 e 1000 e 0001 e 0010.

- Derivare il diagramma degli stati minimo (macchina di Mealy) del circuito che realizza la funzionalità prima descritta.
- Effettuare la sintesi della macchina minima mediante bistabili T e disegnare il circuito risultante.
- Realizzare un circuito che svolge la funzionalità sopra descritta mediante la connessione di blocchi elementari (multilexer, registri, decoder, contatori, sommatore, porte semplici).
- Commentare il risultato ottenuto mediante i passi a+b e c.

### Esercizio n. 3

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e) e uscite ( $Y_1, Y_2$ ), la cui rete combinatoria che realizza le funzioni  $\lambda$  (uscita) e  $\delta$  (stato prossimo) è rappresentata dalla seguente rete multilivello:

$$V_1 = Q_1a!b + Q_2!Q_3c + de$$

$$V_2 = ad!e + Q_1b$$

$$D_1 = Q_1Q_3V_1 + Q_2V_2$$

$$D_2 = Q_1a!b + Q_2V_2$$

$$D_3 = Q_3de + !V_1$$

$$Y_1 = Q_1cd + V_2 + Q_2!Q_3c$$

$$Y_2 = Q_3 + V_2$$

Dove

- $Q_1, Q_2$  e  $Q_3$  rappresentano le variabili stato presente
  - Le espressioni associate a  $Y_1$  e  $Y_2$  costituiscono la funzione  $\lambda$
  - Le espressioni associate a  $D_1, D_2$  e  $D_3$  costituiscono la funzione  $\delta$
  - $V_1$  e  $V_2$  sono nodi intermedi
- a) Dire se la macchina descritta è di Mealy o di Moore, giustificando la risposta.
- b) Realizzare la rete combinatoria tramite PLA. Si indichino esplicitamente i termini prodotto del piano AND, le espressioni relative al piano OR e i nomi simbolici delle uscite che devono essere retroazionate. Si disegni lo schema logico dettagliato del dispositivo programmato.
- c) Si supponga di voler realizzare la stessa macchina tramite una PAL con OR a 2 ingressi:
- (1) Si riscrivano, ove necessario, le espressioni logiche dei nodi della rete per tener conto dei vincoli imposti dalla PAL.
  - (2) Si dica quale è il numero di termini prodotto necessari per realizzare la macchina sequenziale.
  - (3) Si indichino i nomi simbolici sia delle uscite che devono essere retroazionate sia di quelle che non devono essere retroazionate.

## Esercizio n. 4

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_signed.all;
entity exam is port(
    a,b,i : in std_logic_vector(3 downto 0);
    l, clk, rst : in std_logic;
    out1 : out std_logic_vector(3 downto 0));
end exam;
architecture mixed of exam is
    signal c, d, n, h : std_logic_vector(3 downto 0);
    signal e, f, g, m : std_logic;
begin
    PROC1 : process (reset, clk)
    begin
        if( reset='1' ) then
            h <= "0000";
        elsif (clk = '1' and clk'event) then
            h <= n * i;
        end if;
    end process;

    PROC2: process(l, g)
    begin
        if ( l='0' ) then
            m <= not g;
        else
            m <= g;
        end if;
    end process;

    PROC3: process(m, c, d)
    begin
        if ( m ) then
            n <= c;
        else
            n <= d;
        end if;
    end process;

    PROC4: process(clk)
    begin
        if (clk = '0' and clk'event) then
            if(reset='1') then
                out1 <= "0000";
            else
                out1 <= h;
            end if;
        end if;
    end process;

    g <= f and e;
    c <= a - b;
    e <= a > b;
    f <= b > 0;
    d <= b - a;

end mixed;
```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto.