



Politecnico di Milano

# Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola  
prof. Fabrizio Ferrandi

prof.ssa Cristiana Bolchini

---

## Reti Logiche A – Esame del 7 luglio 2008

Matricola \_\_\_\_\_

Cognome \_\_\_\_\_ Nome \_\_\_\_\_

### Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:30m.

Esercizio 1 (6 punti) \_\_\_\_\_

Esercizio 2 (4 punti) \_\_\_\_\_

Esercizio 3 (6 punti) \_\_\_\_\_

Esercizio 4 (5 punti) \_\_\_\_\_

Esercizio 5 (5 punti) \_\_\_\_\_

Esercizio 6 (4 punti) \_\_\_\_\_

## Esercizio n. 1

Date le seguenti funzioni:

$$F1 = ON(0,2,3,8,12,13) DC(1,9,10)$$

$$F2 = ON(0,5,7,8,12,13,14,15) DC(2,9)$$

### **Prima parte**

Si esegua la sintesi ottima con il metodo di Quine McCluskey a più funzioni. In particolare si svolgano i seguenti passi:

1. dati gli implicanti primi sotto riportati, si definisca la tabella di copertura adottando per ogni implicante il costo convenzionale della cardinalità
2. si determini la copertura minima utilizzando con criterio di costo la minimizzazione delle cardinalità
3. si indichino le espressioni logiche di copertura e si calcoli del costo della copertura

0, 2	00-0	11	A	0, 1, 2, 3	00--	10	C
0, 8	-000	11	B	0, 1, 8, 9	-00-	10	D
				0, 2, 8, 10	-0-0	10	E
				8, 9, 12, 13	1-0-	11	F
				5, 7, 13, 15	-1-1	01	G
				12, 13, 14, 15	11--	01	H

### **Seconda parte**

1. Disegnare le mappe di Karnaugh delle 3 funzioni: **F1**, **F2** e **F3=F1 and F2**
2. Individuare graficamente tutti gli implicanti primi delle funzioni al punto precedente e darne l'espressione algebrica
3. Spiegare la relazione tra gli implicanti primi dati nella parte QuineMcCluskey e quelli appena individuati con le mappe di Karnaugh
4. Coprire in modo ottimo **F1** e **F2** con il metodo delle mappe di Karnaugh e commentare brevemente il risultato ottenuto rispetto a quello di Quine McCluskey

## Esercizio n. 2

Dati due numeri decimali **A= +25,5** e **B= -3,25** fornire la codifica completa in virgola mobile in singola precisione di A e B.

Effettuare il **prodotto A\*B** mostrando tutti i passaggi relativi sia alla codifica che alla moltiplicazione.

### Esercizio n. 3

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e, f) e tre uscite ( $Y_1, Y_2, Y_3$ ), la cui rete combinatoria che realizza le funzioni  $\lambda$  (uscita) e  $\delta$  (stato prossimo) è rappresentata dalla seguente rete multilivello ( $V_1, V_2$  e  $V_3$  sono nodi intermedi):

$$\begin{aligned} V_1 &= !abd + f \\ V_2 &= a!V_1b + aV_1c + V_1cd + !V_1bd \\ V_3 &= !bde + ab!ce !(b+!d+!e)+a!b!ce+!bdef \\ V_4 &= !ab + bf(be+!b) \\ Y_1 &= V_4 + a!f \\ Y_2 &= !V_3ab + !abcd!e + !bcde + !V_3a!bf + !abcde \\ Y_3 &= a!b!f + d!b!f + ae + a!V_2 + de + d!V_2 \end{aligned}$$

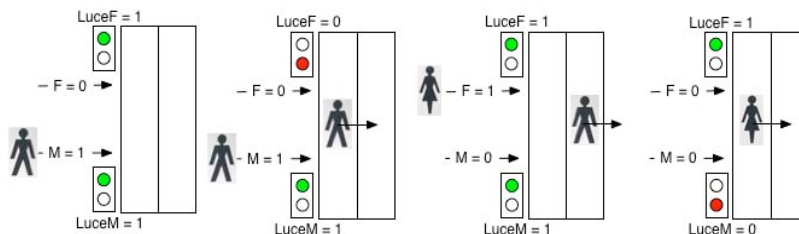
Applicare in sequenza alla rete multilivello le trasformazioni sotto indicate e rispondere alle domande dove richiesto. Disegnare anche il modello della rete finale.

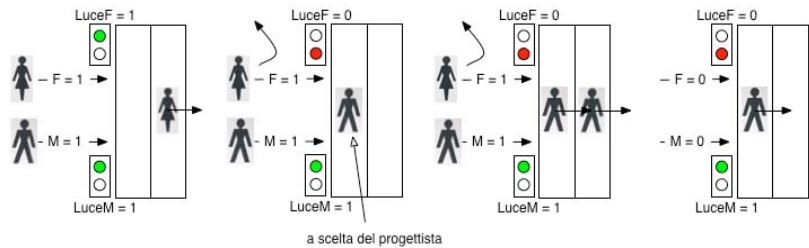
**Nota Bene:** per ogni trasformazione è **obbligatorio** riportare il **risultato della trasformazione** e **mostrare chiaramente tutti i passaggi** effettuati per ottenere il risultato stesso.

- COST( ):** Calcolo del numero di letterali. La funzione COST() calcola il costo in letterali indipendentemente dalla forma (SOP o Multilivello) delle espressioni algebriche dei nodi.
- SIMPLIFY( $Y_2$ ):** Minimizzazione a due livelli di  $Y_2$ .
- SIMPLIFY( $V_4$ ):** Minimizzazione a due livelli di  $V_4$ .
- SIMPLIFY( $V_3$ ):** Minimizzazione a due livelli di  $V_3$ .
- ELIMINATE( $V_4$ ):** Eliminazione del nodo  $V_4$
- FACTOR( $V_2$ ):** Fattorizzazione del nodo  $V_2$ .
- COST( ):** Calcolo del numero di letterali.

### Esercizio n. 4

Derivare la macchina a stati minima in termini di tabella degli stati, per il sistema di seguito riportato. Si realizzi un controllore di accessi che ha due ingressi F, M e due uscite LuceF, LuceM. Il controllore consente l'accesso ad una persona per volta (segnale di ingresso a 1) e solo se questa è dello stesso sesso della persona attualmente presente. LuceF e LuceM sono le due luci che indicano se la persona di quel sesso può entrare al prossimo turno (LuceX = 1) oppure no (LuceX = 0). Quando il sistema non è impegnato, chiunque può entrare. Quando arrivano contemporaneamente due persone di sesso diverso e il sistema non è impegnato, è a scelta del progettista a chi dare l'accesso. Ogni persona impegna il sistema per due cicli di clock. Coloro che arrivano e non ottengono accesso al sistema, non restano in coda ma se ne vanno.





## Esercizio n. 5

Data la tabella degli stati di seguito riportata

	IN=00	IN=01	IN=11	IN=10	U
A	H	A	F	C	0
B	B	G	E	C	1
C	E	A	D	C	0
D	A	C	F	G	1
E	H	E	D	C	0
F	G	G	H	E	1
G	A	E	C	D	0
H	H	F	D	C	0

1. si esegua l'analisi di indistinguibilità per ottenere la tabella degli stati della macchina ridotta, mostrando i passaggi fatti
2. definito A lo stato di RESET, si minimizzi la tabella ottenuta al passo precedente considerando la raggiungibilità dallo stato di RESET

## Esercizio n. 6

Data la seguente descrizione VHDL disegnare il circuito logico corrispondente.

```

library IEEE;
use ieee.std_logic_1164.all;

entity exam1 is
  port(in1: in std_logic_vector(3 DOWNTO 0);
        out1,out2: out std_logic);
end exam1;

architecture mix of exam1 is
  signal D: std_logic;
  signal E: std_logic_vector(1 downto 0);

begin

  out1 <= E(0) OR E(1);
  process(in1)
  begin
    case in1 is
      when "0000" => E <= "01";
      when "0001" => E <= "10";
      when "0010" => E <= "11";
      when "0011" => E <= "00";
      when others => E <= "XX";
    end case;
  end process;
  D <= E(0) AND E(1);

```

```
out2 <= NOT D;
```

```
end mix;
```

- a) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- b) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto