



Politecnico di Milano

Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola

prof.ssa Cristiana Bolchini

prof. Fabrizio Ferrandi

Reti Logiche A – Esame del 4 settembre 2008

Matricola _____

Cognome _____ **Nome** _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:30m.

Esercizio 1 (6 punti) _____

Esercizio 2 (4 punti) _____

Esercizio 3 (5 punti) _____

Esercizio 4 (6 punti) _____

Esercizio 5 (5 punti) _____

Esercizio 6 (4 punti) _____

Esercizio n. 1

Date le seguenti funzioni:

$$F1 = ON(1,3,9,10,12,13) DC(0,2,8)$$

$$F2 = ON(2,5,7,9,12,13,14,15) DC(0,8)$$

Prima parte

Si esegua la sintesi ottima con il metodo di Quine McCluskey a più funzioni. In particolare si svolgano i seguenti passi:

1. dati gli implicanti primi sotto riportati, si definisca la tabella di copertura adottando per ogni implicante il costo convenzionale della cardinalità
2. si determini la copertura minima utilizzando con criterio di costo la minimizzazione delle cardinalità
3. si indichino le espressioni logiche di copertura e si calcoli del costo della copertura

0,2	00-0	11	A	0,1,2,3	00--	10	B
				0,1,8,9	-00-	10	C
				0,2,8,10	-0-0	10	D
				8,9,12,13	1-0-	11	E
				5,7,13,15	-1-1	01	F
				12,13,14,15	11--	01	G

Seconda parte

1. Disegnare le mappe di Karnaugh delle 3 funzioni: **F1**, **F2** e **F3=F1 and F2**
2. Individuare graficamente tutti gli implicanti primi delle funzioni al punto precedente e darne l'espressione algebrica
3. Spiegare la relazione tra gli implicanti primi dati nella parte QuineMcCluskey e quelli appena individuati con le mappe di Karnaugh

Esercizio n. 2

Dati due numeri decimali **A= -14,525** e **B= +4,1265** fornire la codifica completa in virgola mobile in singola precisione di A e B.

Effettuare **la somma A+B** utilizzando 2 diversi metodi tra quanti studiati, mostrando tutti i passaggi relativi sia alla codifica che alla somma.

Esercizio n. 3

Ricavare il grafo degli stati della macchina di Mealy che espone il comportamento di seguito descritto: il circuito riceve in ingresso un segnale di un bit A e ha una sola uscita Z su cui pone il valore di A sino a che non riconosce la sequenza 010 (START). Quando viene riconosciuta la sequenza, a partire dal ciclo di clock successivo sull'uscita Z viene posto il negato del valore di A. Il circuito rimane in questo stato sino a che non viene riconosciuta la sequenza 101 (FINISH) che riporta il circuito a copiare il valore di A sull'uscita Z. All'accensione il circuito si trova nello stato di non riconoscimento della sequenza 010. START e FINISH non possono sovrapporsi.

Esempio:

A 1 1 1 0 0 1 0 1 1 0 0 1 0 1 1 1 0 0

Z 1 1 1 0 0 1 0 0 0 1 1 0 1 0 1 1 0 0

Z = A | Z = !A | Z = A

Esercizio n. 4

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e) e tre uscite (Y_1, D_1, D_2), la cui rete è rappresentata dalla seguente rete multilivello:

$$V_1 = a+c$$

$$V_2 = V_3 +c!e$$

$$V_3 = ab + !de + abc + !abc + !d!e$$

$$V_4 = ba + bc + !d$$

$$Y = V_1a!e + V_1c!e$$

$$D_1 = ba + bc$$

$$D_2 = ab!de+c$$

Applicare in sequenza alla rete multilivello le trasformazioni sotto indicate e rispondere alle domande dove richiesto. Disegnare anche il modello della rete finale.

Nota Bene: per ogni trasformazione è **obbligatorio** riportare il **risultato della trasformazione** e **mostrare chiaramente tutti i passaggi** effettuati per ottenere il risultato stesso.

- COST():** Calcolo del numero di letterali. La funzione COST() calcola il costo in letterali indipendentemente dalla forma (SOP o Multilivello) delle espressioni algebriche dei nodi.
- FACTOR(V_4):** Fattorizzazione del nodo V_4 .
- SIMPLIFY(V_3):** Minimizzazione a due livelli di V_3 .
- FACTOR(Y):** Fattorizzazione del nodo Y .
- [V_5] = EXTRACT(Y, V_4):** Estrazione di un fattore comune a Y e V_4 . Il nodo V_5 derivato dall'estrazione può essere un nuovo nodo o un nodo già presente nella rete.
- SIMPLIFY(Y):** Minimizzazione a due livelli di Y .
- [V_6] = EXTRACT(V_3, D_1):** Estrazione di un fattore comune a V_3 e D_1 . Il nodo V_6 derivato dall'estrazione può essere un nuovo nodo o un nodo già presente nella rete.
- ELIMINATE($V_3, 0$):** Eliminazione del nodo V_3 : la trasformazione viene accettata solo se l'incremento di area, dovuto all'eliminazione è inferiore o uguale alla soglia data (0).
- COST():** Calcolo del numero di letterali.

Esercizio n. 5

Data la tabella degli stati di seguito riportata

	IN=00	IN=01	IN=11	IN=10	U
A	A	D	F	C	0
B	G	B	F	E	1
C	G	G	E	D	1
D	C	D	F	H	0
E	E	D	F	H	0
F	A	E	F	H	0
G	E	A	H	F	0
H	F	A	G	C	1

Si effettui la sintesi della macchina minima (si consideri A stato di reset), utilizzando bistabili di tipo T.

Esercizio n. 6

Data la seguente descrizione VHDL disegnare il circuito logico corrispondente.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity exam is port(
  a,b : in std_logic_vector(3 DOWNTO 0);
  ctrl : in std_logic;
  clk, rst : in std_logic;
  out1 : out std_logic_vector(3 DOWNTO 0) );
end exam;

architecture mixed of exam is

  signal d, e, f, g, h : std_logic;
  signal c : std_logic_vector(3 DOWNTO 0);

begin
PROC1 : process (rst, clk)
  begin
    if(rst='1') then
      c <= "0000";
    elsif (clk = '0' and clk'event) then
      c <= a+b;
    end if;
  end process;

PROC2: process( c, b, g )
  begin
    if ( g='0' ) then
      out1 <= c;
    else
      out1 <= b;
    end if;
  end process;

  g <= f or d;
  h <= '1' when (a > b) else '0';
  f <= not ctrl;
  d <= h and ctrl;

end mixed;
```

- Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto