



# Metodologie di progetto HW

## Livelli d'astrazione

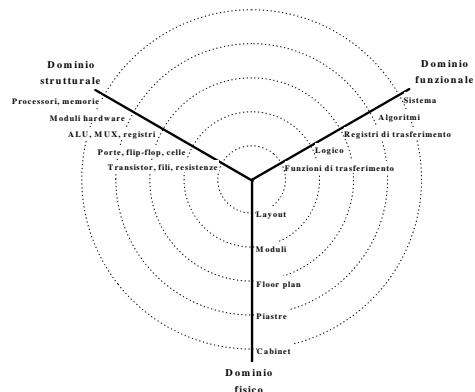
Diagramma Y  
Flusso di sintesi  
Livelli di astrazione

Versione del 15/03/06



## Domini di rappresentazione dei circuiti: funzionale strutturale e fisico

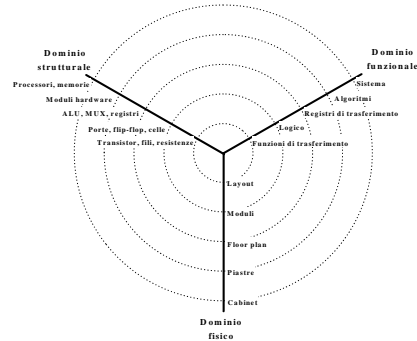
- Tecnologia VLSI matura
  - complessa
  - tempi di progettazione ridotti (design cycles)
- **Complessità**
  - diversi livelli d'astrazione
  - gerarchia
- **Algoritmi**
  - fanno meglio dei progettisti
  - applicabili sotto precise ipotesi





## Domini di rappresentazione dei circuiti: funzionale strutturale e fisico

- Gli assi del diagramma rappresentano i tre domini:
  - funzionale, strutturale e fisico
- Lungo gli assi sono indicati i differenti livelli di descrizione del dominio:
  - i punti lontani dal centro indicano i livelli di descrizione più astratti mentre il centro degli assi rappresenta il caso in cui il circuito è completamente specificato.
- Nel dominio *funzionale* si è interessati solo a ciò che il circuito compie e non a come è realizzato.
- La rappresentazione *strutturale* è intermedia rispetto alle altre due rappresentazioni.
- La rappresentazione *fisica* descrive come è realizzato fisicamente il circuito
  - specifica posizione nello spazio o su silicio dei diversi componenti.

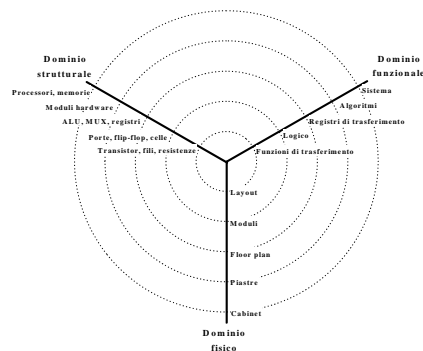


- 3 -



## Livelli di descrizione/astrazione

- Circonferenze identificano i diversi livelli di astrazione del circuito
- Le diverse fasi di realizzazione di un circuito in un flusso *top-down* o *bottom-up*
- Livelli d'astrazione:
  - sistema - algoritmico
  - microarchitetturale (*Register Transfer Level, RTL*)
  - logico
  - circuito



- 4 -



## Domini di rappresentazione e livelli di descrizione

Livelli	Domini		
	Funzionale	Strutturale	Fisico
Sistema	Specifiche	CPU, memorie, switch	Cabinet
Algoritmo	Algoritmo	Moduli hardware	Schede
Register Transfer	Registri di trasferimento, FSM	ALU, MUX, registri, microstore	Floor plan
Logico	Equazioni booleane, FSM	Porte logiche, Flip-Flop, Celle	Celle, module plan
Circuito	Funzioni di trasferimento, diagrammi temporali	Transistor, resistenze e fili	Layout

- 5 -



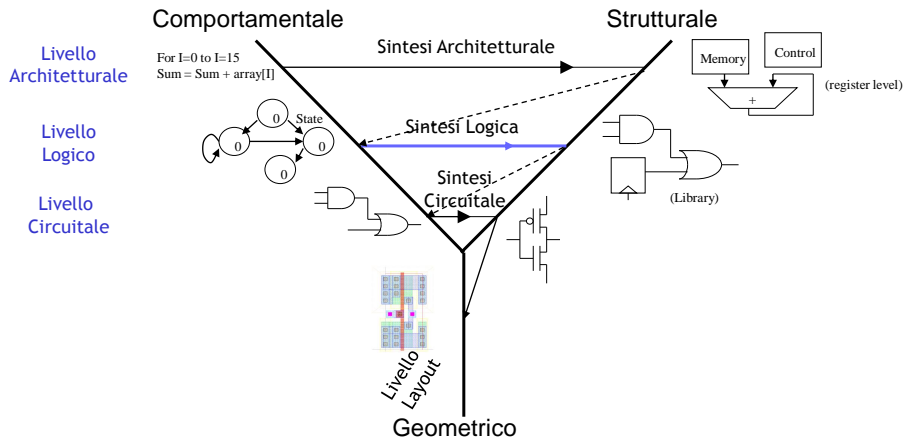
## Flusso di sintesi

- Il passaggio da una vista ad un'altra è chiamato *sintesi*
  - Da comportamentale a strutturale
    - Sintesi di architettura, logica e circuitale
      - Attualmente, con "sintesi" senza aggettivo si intende la "sintesi logica"
  - Da strutturale a geometrico
    - Sintesi fisica
- Una fase di sintesi consiste nel trasformare un modello in un altro modello con granularità più fine
  - Riducendo il livello di astrazione aumenta il livello di precisione delle grandezze fisiche in esame
  - Riducendo il livello d'astrazione diminuisce la capacità di gestione di progetti complessi

- 6 -



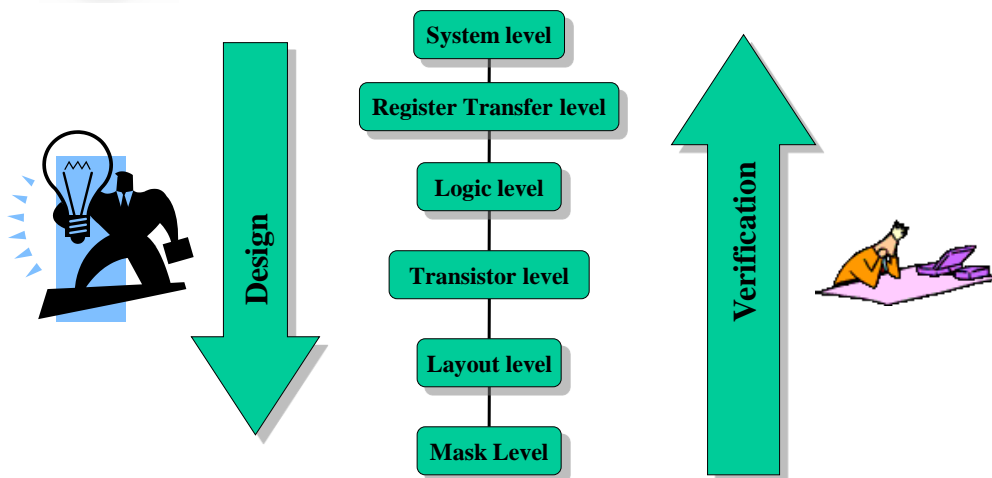
## Flusso di sintesi



- 7 -



## Flusso di progetto e di verifica



- 8 -



## System Level

- Descrizione astratta, algoritmico funzionale, del comportamento
  - Per esempio basata sul linguaggio di programmazione C

```
Port*
compute_optimal_route_for_packet(Packet_t *packet, Channel_t *channel)
{
    static Queue_t *packet_queue;
    packet_queue = add_packet(packet_queue, packet);
    ...
}
```

- astratta in quanto non contiene dettagli relativi all'implementazione (temporizzazione spesso trascurata)
- efficiente per avere un modello compatto nelle prime fasi di stesura del progetto
- difficile da gestire nella vita del progetto perché spesso perde di coerenza con l'implementazione

- 9 -



## RT level

- Modello accurato vicino all'implementazione hardware "Cycle accurate"

- astrazione: operazioni su bit-vector
- Costrutti sequenziali per modellare i costrutti di controllo complessi come if - then - else, while

```
module mark1;
    reg [31:0] m[0:8192];
    reg [12:0] pc;
    reg [31:0] acc;
    reg[15:0] ir;

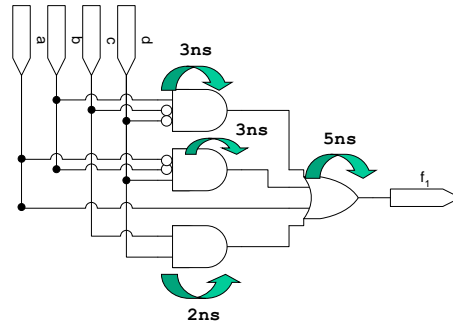
    always
    begin
        ir = m[pc];
        if(ir[15:13] == 3'b'000)
            pc = m[ir[12:0]];
        else if (ir[15:13] == 3'b010)
            acc = -m[ir[12:0]];
        ...
    end
endmodule
```

- 10 -



## Logic Level

- Astrazione a livello di reti logiche (porte e registri)

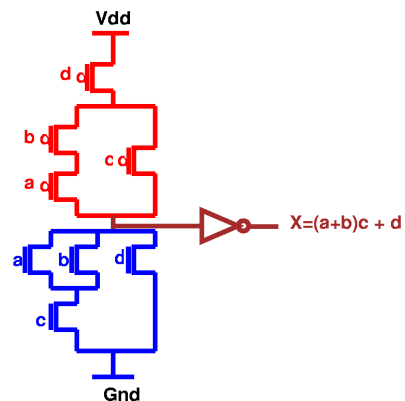


- 11 -



## Transistor level

- Astrazione a livello di transistor (tipicamente CMOS)
- Diversi modelli per differenti applicazioni:
  - functional equivalence checking: rete di interruttori resistivi
  - analisi timing accurata: equazioni differenziali

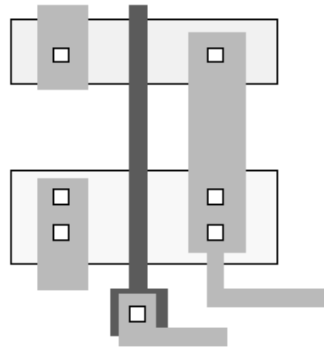


- 12 -



## Layout level

- Connessioni e transistor sono visti come poligoni su diversi strati: diffusioni, metallizzazioni poly-silicon ecc.

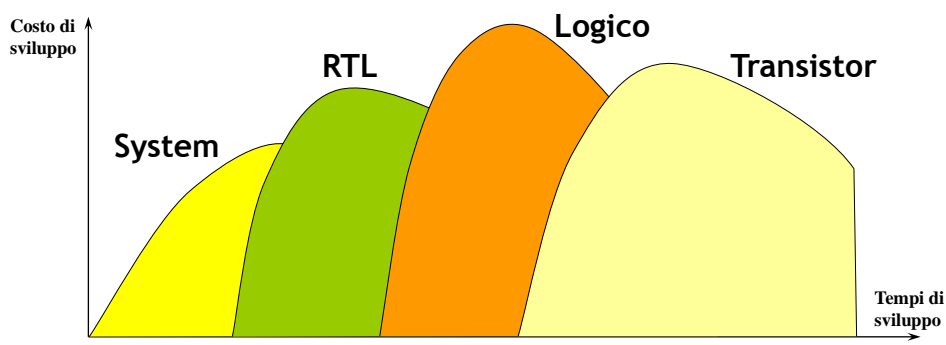


- 13 -



## Fasi di progetto: costi e tempi

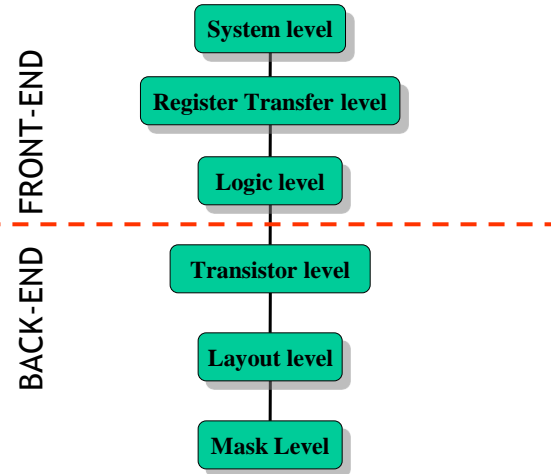
- Le fasi di progetto sono in parte sovrapposte
- Cambiamenti paralleli a diversi livelli d'astrazione:
  - più team di lavoro
- Tempi vincolati al tempo globale di sviluppo del progetto



- 14 -



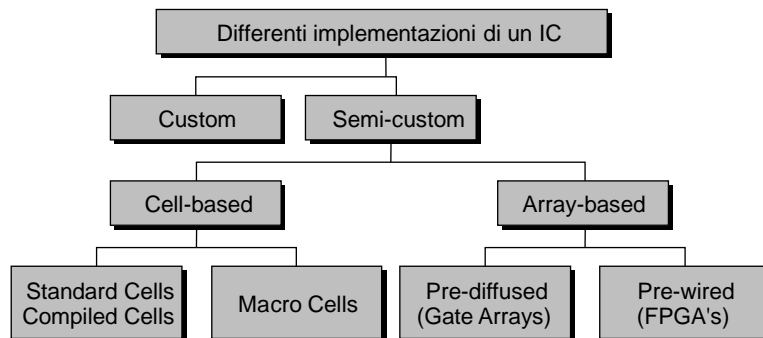
## Flusso di progetto



- 15 -



## Flusso di progetto - back-end: tecnologia



- 16 -



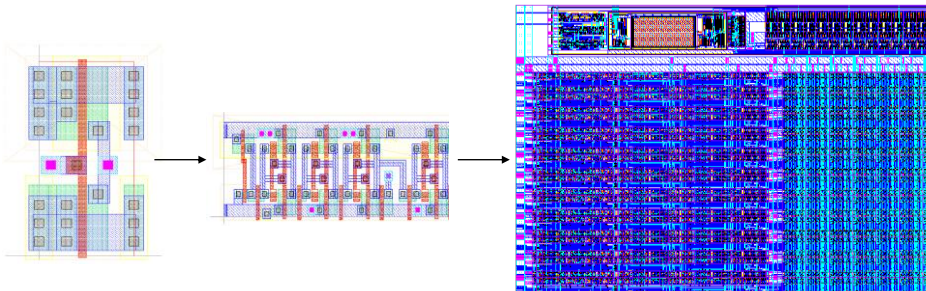
## Tecnologia Full Custom

- Applicazioni: dispositivi con elevate prestazioni
  - general-purpose processors, DSPs, graphic chips, internet routers, games processors etc.
- Target: volumi di mercato molto elevati con elevati margini di profitto
  - Mercato dei personal computer
- Complessità di progetto: molto complessa - numero di anni uomo elevati
  - richiede gruppi di progetto con molte persone
  - elevati investimenti ad alto rischio
  - geometria realizzata a mano
  - densità elevata

- 17 -



## Tecnologia Full custom



- 18 -



## Tecnologia Standard cell

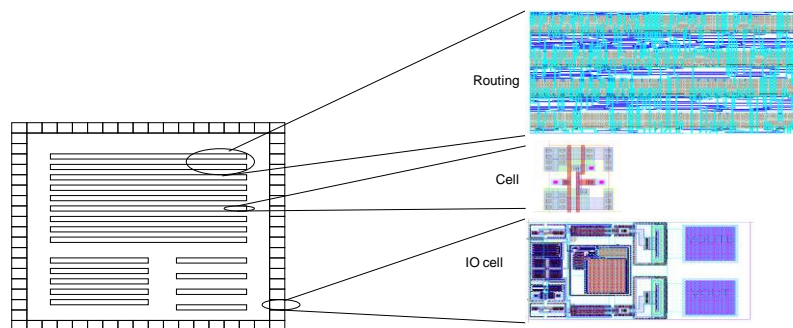
- Applicazioni : dispositivi elettronici di tipo generale con prestazioni medio alte
  - periferiche di PC, giocattoli, dispositivi palmari
- Target: volumi di mercato alti, tempo di progetto elevato anche se predicibile
  - consumer electronics
- Complessità di progetto:
  - Flusso e strumenti standard
  - Le celle sono fornite dal venditore.
  - Fortemente digitale con la possibilità di celle analogiche.
  - Simulazione a livello di gate (digitale)
  - Densità medio alta

- 19 -



## Tecnologia Standard cells

- Standard cells sono organizzate in righe (AND, OR, FF,etc.)

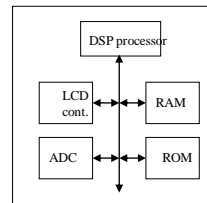


- 20 -



## Tecnologia Macro cell

- Applicazioni: dispositivi di tipo generale con elevate prestazioni
- Target: volumi di mercato alti, tempo di progetto breve
- Complessità di progetto:
  - I macro-blocchi sono realizzati full-custom dai venditori
  - Principalmente digitale (qualche componente analogico ex. ADC
  - Simulazione a livello comportamentale o gate-level (digitali)
  - Densità elevata
  - Utilizza dei bus standard su chip
  - “System on a chip” (SOC)

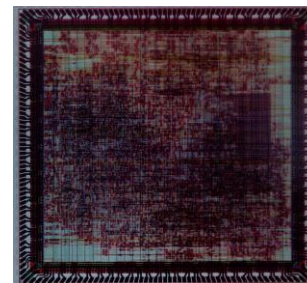
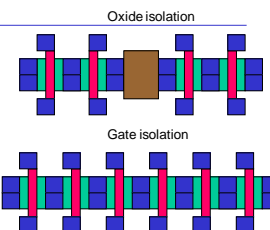
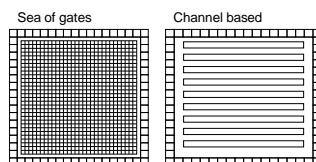


- 21 -



## Tecnologia Gate-array

- Applicazioni: dispositivi con prestazioni medie
- Target: volumi di mercato medi, tempo di progetto ragionevole
- Complessità di progetto:
  - Transistor predefiniti collegati da metal
  - Due tipi: Basati su canale, *Sea of gates*
  - Sono realizzate le sole metallizzazioni
  - Libreria di celle digitali (AND, OR, FF, etc.)
  - Simulazione a livello di gate (digitale)
  - Densità media

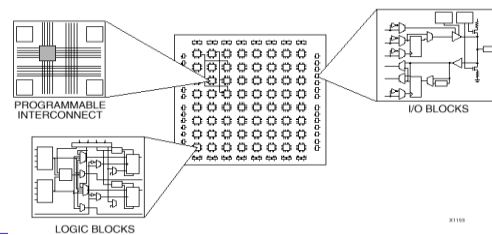


- 22 -



## Tecnologia FPGA

- Applicazioni: dispositivi con prestazioni medio basse (<50 - 200MHz)
- Target: volumi di mercato bassi, tempo di progetto basso
- Complessità di progetto:
  - Blocchi logici programmabili
  - Connessioni tra i blocchi logici programmabili
    - SRAM, EEROM, Flash, Anti-fuse, etc
  - Tipicamente è solo digitale
  - Densità medio bassa (superiore a ~100k gates)
  - Facilmente modificabile



- 23 -



## Comparazione

	FPGA	Gate array	Standard cell	Full custom	Macro cell
<b>Densità</b>	Basso	Medio	Medio	Alto	Alto
<b>Flessibilità</b>	bassa (alta)	Basso	Medio	Alto	Medio
<b>Analogico</b>	No	No	No	Si	Si
<b>Prestazioni</b>	Basso	Medio	Alto	Molto alto	Molto alto
<b>Tempo progetto</b>	Basso	Medio	Medio	Alto	Medio
<b>Costo progetto</b>	Basso	Medio	Medio	Alto	Alto
<b>Tools</b>	Semplice	Complesso	Complesso	Molto complesso	Complesso
<b>Volume</b>	Basso	Medio	Alto	Alto	Alto

- 24 -