

CURRICULUM VITAE ET STUDIORUM (GENNAIO 2008)

DI

FABRIZIO FERRANDI

| | | |
|--------|---|----|
| I. | Dati anagrafici, formazione e stato di servizio | 2 |
| II. | Attività didattica | 3 |
| II.1. | Attività svolta prima di prendere servizio come ricercatore presso il Politecnico di Milano | 3 |
| II.2. | Attività svolta come ricercatore presso il Politecnico di Milano | 3 |
| II.3. | Attività svolta come professore associato presso il Politecnico di Milano | 4 |
| II.4. | Attività svolta presso altre istituzioni universitarie | 5 |
| II.5. | Attività svolta presso altre istituzioni | 6 |
| II.6. | Supervisione di dottorandi e di studenti | 6 |
| II.7. | Attività organizzativa in ambito didattico | 6 |
| III. | Attività scientifica | 8 |
| III.1. | Metodologie di analisi della testabilità, generazione del test e progetto diagnosticabile di architetture complesse | 8 |
| III.2. | Metodologie di validazione di sistemi digitali | 12 |
| III.3. | Metodologie di progetto e qualità del flusso di progettazione di sistemi misti HW/SW | 12 |
| III.4. | Attività organizzative in ambito scientifico | 14 |
| III.5. | Comitati di programma e attività di revisione | 17 |
| III.6. | Presentazioni, articoli e lezioni su invito | 18 |
| IV. | Premi e Borse di studio | 19 |
| V. | Elenco delle pubblicazioni di Fabrizio Ferrandi | 20 |
| V.1. | Riviste internazionali con comitato di revisione internazionale | 20 |
| V.2. | Capitoli di libro con comitato di revisione internazionale | 21 |
| V.3. | Conferenze internazionali con comitato di revisione internazionale | 21 |
| V.4. | PhD thesis | 26 |
| VI. | Altre pubblicazioni | 27 |
| VI.1. | Rapporti interni | 27 |
| VI.2. | Rapporti Tecnici Progetti europei | 27 |

I. Dati anagrafici, formazione e stato di servizio

Fabrizio Ferrandi è nato a Ponte dell'Olio (PC) il 14 ottobre 1967.

Nell'ottobre 1986 si è iscritto alla Facoltà di Ingegneria del Politecnico di Milano, Corso di Laurea in Ingegneria Elettronica, indirizzo Informatica.

Il 23 ottobre 1992 ha conseguito, presso lo stesso Politecnico di Milano, la laurea in Ingegneria Elettronica con la votazione di 100/100 e lode, discutendo una tesi dal titolo *Analisi della collaudabilità per architetture VLSI: metodologie per una valutazione automatica* (relatore Prof. Mariagiovanna Sami).

Nel 1994 ha vinto il concorso per l'ammissione al Dottorato di Ricerca in Informatica e Automatica (IX ciclo) presso il Politecnico di Milano.

Da novembre 1996 a novembre 1998 è stato consulente del Dipartimento di Elettronica e Informazione e responsabile del progetto di ricerca *ESPRIT - OMI* n. 20616, REQUEST.

Nell'agosto del 1997 è stato visiting researcher presso l'Università di Colorado a Boulder.

L'8 settembre 1997 ha sostenuto presso l'Università degli studi di Roma "La Sapienza", con esito positivo, l'esame per il conseguimento del titolo di Dottore di Ricerca in Ingegneria Informatica e Automatica IX ciclo, presentando una dissertazione finale dal titolo: "*Metodologie di supporto alla progettazione di sistemi digitali testabili*".

Nel dicembre 1998 ha vinto un Assegno di Ricerca, presso il Dipartimento di Elettronica e Informazione, Facoltà di Ingegneria, Politecnico di Milano, per la collaborazione al programma di ricerca denominato: "*Architettura dei sistemi di elaborazione: sistemi di collaudo e sistemi di valutazione*".

Nell'aprile 1999 vince il concorso per ricercatore universitario di ruolo per il settore scientifico disciplinare K05A Sistemi di Elaborazione delle Informazioni presso il Politecnico di Milano.

Nel maggio del 2002 riceve la conferma da ricercatore universitario di ruolo per il settore scientifico disciplinare K05A Sistemi di Elaborazione delle Informazioni presso il Politecnico di Milano.

Nel giugno 2002 risulta idoneo alla valutazione comparativa ad un posto di Professore Associato Facoltà di INGEGNERIA V Settore ING-INF/05 - SISTEMI DI ELABORAZIONE DELLE INFORMAZIONI (LEO5/478/I) data di certificazione regolarità atti: 06/05/2002 data di delibera della facoltà: 13/06/2002.

Il 12/11/2002 viene chiamato dalla facoltà di INGEGNERIA V del Politecnico di MILANO ed entra in servizio il 2/12/2002.

II. Attività didattica

II.1. Attività svolta prima di prendere servizio come ricercatore presso il Politecnico di Milano

Negli anni accademici 1993-94, 1994-95, 1995-96, 1996-97, 1997-98 ha svolto attività di supporto alla didattica in relazione al corso di *Informatica Industriale*, presso la facoltà di Ingegneria del Politecnico di Milano, corso di diploma di laurea in Ingegneria Informatica e Automatica, sede distaccata di Cremona.

Nell'anno accademico 1994-95 ha svolto attività di supporto alla didattica in relazione al corso di *Sistemi di Elaborazione*, presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano.

Negli anni accademici 1996-97, 1997-98 ha svolto attività di supporto alla didattica in relazione al corso di *Fondamenti di Informatica*, presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano.

Nell'anno accademico 1997-98 ha ricevuto l'incarico di di insegnamento (*professore a contratto*), tramite contratto, art. 100d, di *Fondamenti di Informatica*, presso la Facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Cremona.

Nell'anno accademico 1998-99 ha ricevuto l'incarico di insegnamento (*professore a contratto*), tramite contratto art. 100d, di *Fondamenti di Informatica*, presso la Facoltà di Ingegneria del Politecnico di Milano, corso di diploma di laurea in Ingegneria Meccanica, sede di Piacenza.

II.2. Attività svolta come ricercatore presso il Politecnico di Milano

Anno Accademico 1998-99:

- esercitazioni e supporto alla didattica per il corso di *Sistemi di Elaborazione* (prof. M. Sami), presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- esercitazioni ed esami per il corso di *Fondamenti di Informatica 2* (prof. D. Sciuto), presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

Anno Accademico 1999-2000:

- *supplenza* per il corso di *Fondamenti di Informatica*, presso la facoltà di Ingegneria del Politecnico di Milano, corso di diploma di laurea in Ingegneria Aerospaziale, sede di Milano Bovisa.
- esercitazioni e supporto alla didattica per il corso di *Sistemi di Elaborazione* (prof. M. Sami) presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- esercitazioni ed esami per il corso di *Fondamenti di Informatica 2* (prof. D. Sciuto), presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2000-2001

- *supplenza* per il corso di *Informatica 2*, presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- esercitazioni e supporto alla didattica per il corso di *Sistemi di Elaborazione* (prof. M. Sami), presso la facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- esercitazioni ed esami per il corso di *Calcolatori Elettronici* (prof. F. Salice) presso la facoltà di Ingegneria del Politecnico di Milano, corso di diploma di laurea in Ingegneria Informatica, sede di Milano Leonardo.

Anno Accademico 2001-2002

- *supplenza* per il corso di *Informatica 2*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

- esercitazioni e supporto alla didattica per il corso di *Sistemi di Elaborazione* (prof. M. Sami), presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2002-2003

- *supplenza* per il corso di *Calcolatori Elettronici*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

II.3. Attività svolta come professore associato presso il Politecnico di Milano

Anno Accademico 2002-2003:

- *incarico istituzionale* di insegnamento per il corso di *Informatica 2*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2003-2004:

- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche B*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* per il corso di *Metodologie di progetto Hardware*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.
- *supplenza* per il corso di *Laboratorio di Metodologie di progetto Hardware*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2004-2005:

- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche B*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* per il corso di *Metodologie di progetto Hardware con Laboratorio*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.
- corso di *Algoritmi e strutture dati per la progettazione e la verifica di sistemi complessi*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di dottorato Ricerca in Ingegneria dell'Informazione.

Anno Accademico 2005-2006:

- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *incarico istituzionale* di insegnamento per il corso di *Reti Logiche B*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* per il corso di *Metodologie di progetto Hardware con Laboratorio*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2006-2007:

- *incarico istituzionale* per il corso di *Metodologie di progetto Hardware con Laboratorio*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.

- *supplenza* di insegnamento per il corso di *Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* di insegnamento per il corso di *Progetto di Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

Anno Accademico 2007-2008:

- *incarico istituzionale* per il corso di *Metodologie di progetto Hardware con Laboratorio*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea specialistica in Ingegneria, sede di Milano Leonardo.
- *supplenza* di insegnamento per il corso di *Reti Logiche A*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* di insegnamento per il corso di *Progetto di Reti Logiche A (1 sem.)*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.
- *supplenza* di insegnamento per il corso di *Progetto di Reti Logiche A (2 sem.)*, presso la V facoltà di Ingegneria del Politecnico di Milano, corso di laurea in Ingegneria, sede di Milano Leonardo.

II.4. Attività svolta presso altre istituzioni universitarie

Anno Accademico 1994-1995

- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 1995-1996

- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 1996-1997

- titolare dell'insegnamento (*professore a contratto*) di *Fondamenti di Informatica* dalla facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione del Libero Istituto Universitario Carlo Cattaneo di Castellanza.
- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Economia, corso di laurea di Economia Aziendale del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 1997-1998

- titolare dell'insegnamento (*professore a contratto*) di *Fondamenti di Informatica* dalla facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione del Libero Istituto Universitario Carlo Cattaneo di Castellanza.
- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Economia, corso di laurea di Economia Aziendale del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 1998-1999

- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* dalla facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione del Libero Istituto Universitario Carlo Cattaneo di Castellanza.
- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Economia, corso di laurea di Economia Aziendale del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 1999-2000

- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione e corso di Laurea in Ingegneria Gestionale del Libero Istituto Universitario Carlo Cattaneo di Castellanza.

Anno Accademico 2000-2001

- attività didattica nell'ambito dell'insegnamento di *Fondamenti di Informatica* presso la facoltà di Ingegneria, corso di diploma universitario in Ingegneria Logistica e della Produzione e corso di Laurea in Ingegneria Gestionale del Libero Istituto Universitario Carlo Cattaneo di Castellanza.
- attività didattica nell'ambito del corso di *Design Technologies* (Prof. G. De Micheli) del master AlaRI (ALaRI-Advanced Learning and Research Institute) tenuto presso L'Università della Svizzera Italiana in Lugano.

Anno Accademico 2001-2002

- attività didattica nell'ambito del corso di *Design Technologies* (Prof. G. De Micheli) del master AlaRI (ALaRI-Advanced Learning and Research Institute) tenuto presso L'Università della Svizzera Italiana in Lugano.

II.5. Attività svolta presso altre istituzioni

Negli anni accademici 1999-2000, 2000-2001, 2001-2002, 2002-2003, 2003-2004, 2004-2005 e 2005-2006 è stato docente del corso: "Progetto di Circuiti VLSI", del Master in Tecnologia dell'Informazione, CEFRIEL, Milano.

Dal 1996 ha tenuto diversi seminari e corsi specialistici in ambito industriale (ITALTEL SIT, TXT, Siemens ICN, STMicroelectronics), presso altre Università (Politecnico di Torino) e presso altri enti di Ricerca (ALaRI-Advanced Learning and Research Institute – Lugano).

II.6. Supervisione di dottorandi e di studenti

Tra il 1992 ed il 2008 ha inoltre prestato assistenza a gruppi di studenti impegnati in attività di progetto e tesi presso il Laboratorio di Microcalcolatori del Dipartimento di Elettronica del Politecnico di Milano, con particolare riferimento ad argomenti relativi alla progettazione ed alla realizzazione di strumenti CAD per la progettazione, per il testing e la verifica di circuiti digitali.

Ha seguito come relatore circa 50 tesisti per la laurea di primo livello, circa 40 tesi di Laurea Specialistica o di vecchio ordinamento e 5 tesi di Master UIC. Durante l'attività di supervisione e di formazione molti lavori di tesi hanno portato a pubblicazioni scientifiche a rivista [A9], due capitoli di libro [C3], [C5] e a conferenze internazionale [B11], [B12], [B15], [B18], [B21], [B25], [B27], [B30], [B31], [B33], [B35], [B36], [B37], [B39], [B40], [B44], [B47], [B48], [B49], [B50], [B52], [B53], [B54], [B55], [B56], [B57], [B60], [B64], [B65], [B68], [B70].

Attualmente è *advisor* di tre studenti di dottorato: Antonino Tumeo (XXI ciclo), Marco Lattuada (XXII) e Christian Pilato (XXIII), e *tutor* di nove studenti iscritti al dottorato in Ingegneria dell'Informazione presso il Dipartimento di Elettronica e Informazione del Politecnico di Milano. E' stato *advisor* di uno studente di dottorato Angelo Rosiello (XXII), relatore di tre tesi di *minor* e tutor di nove studenti ora dottorati in Ingegneria dell'Informazione presso il Dipartimento di Elettronica e Informazione del Politecnico di Milano.

II.7. Attività organizzativa in ambito didattico

Dal 1999 è responsabile dell'attività didattica e di ricerca del laboratorio di Microarchitetture del dipartimento di Elettronica e Informazione. Il Laboratorio dotato di 44 workstation e 16 schede di sviluppo viene attualmente utilizzato da 50/60 studenti di primo livello e secondo livello e da 27 strutturati fra dottorandi, assegnisti, ricercatori e professori.

Dal novembre 2000 fa parte del Collegio dei Docenti del Dottorato di Ricerca in Ingegneria dell'Informazione del Politecnico di Milano.

Nell'anno accademico 2000-2001 si è occupato della progettazione e dell'organizzazione dei laboratori del corso di Informatica 2 nuovo ordinamento.

Nell'anno accademico 2001-2002 è stato membro della commissione interna al Dipartimento per la redazione dei piani di studio campione per l'indirizzo di laurea specialistica "Sistemi Digitali Dedicati".

Da aprile 2004 è membro della commissione piani di studio del CCS in Ingegneria Informatica della sede di Milano Leonardo. Fabrizio Ferrandi gestisce in particolare l'orientamento e l'approvazione dei piani di studio autonomi del primo livello.

III. Attività scientifica

La produzione di sistemi dedicati è sempre più caratterizzata da un elevato rapporto fra il tempo di realizzazione e la vita media prevista dei nuovi componenti prima che questi diventino obsoleti. Inoltre, la complessità dei dispositivi è stimata crescere ad un tasso del 50% per ogni anno. Per questo motivo vi è un grosso interesse da parte del mondo industriale, se non altro per mantenere le quote di mercato raggiunte, e di conseguenza del mondo accademico verso metodologie di progetto innovative che siano in grado di affrontare le attuali problematiche di progettazione.

In quest'ambito, l'obiettivo dell'attività di ricerca di Fabrizio Ferrandi è quello di sviluppare metodologie e strumenti di supporto alla progettazione di sistemi dedicati. In particolare, nei primi anni l'interesse di Fabrizio Ferrandi si è rivolto verso le problematiche di qualità dell'architettura realizzata, sia in termini di collaudabilità e affidabilità che in termini di ottimizzazione del dispositivo finale. In questo settore Fabrizio Ferrandi ha lavorato a diversi livelli di astrazione: logico, RTL e comportamentale; con l'obiettivo di ridurre le riprogettazioni del sistema e di semplificare l'attività di generazione del collaudo del dispositivo. Obiettivo possibile perché il momento dell'analisi è stato spostato alle prime fasi della progettazione dove la specifica contiene poche informazioni ma significative. In particolare, molto lavoro è stato dedicato allo studio di come i linguaggi di descrizione dello hardware possono impattare sulla qualità finale del dispositivo digitale.

Il forte legame esistente fra la qualità del collaudo dell'architettura progettata e le tecniche di progettazione ha portato Fabrizio Ferrandi a considerare anche altri aspetti come l'affidabilità e la validazione dei dispositivi, la qualità del flusso di progetto e le tecniche di progettazione ottima dei sistemi dedicati. Inoltre, l'evoluzione dei linguaggi di specifica dei sistemi dedicati verso linguaggi capaci di descrivere sia la parte hardware che quella software ha portato Fabrizio Ferrandi a considerare il problema della verifica e della progettazione mista hardware/software. In particolare, in questo settore negli scorsi anni Fabrizio Ferrandi si è dedicato allo sviluppo di metodologie che meglio sfruttino le capacità riconfigurabili consentite da piattaforme hardware costituite da numerose unità di elaborazione, anche eterogenee, programmabili e da componenti hardware specifici realizzati con tecnologia ASIC o FPGA.

E da sottolineare il fatto che tutte le metodologie sviluppate sono sempre state accompagnate dallo sviluppo di strumenti software a supporto, che automatizzano l'applicazione delle metodologie proposte negli ambiti progettuali dei partner industriali coinvolti. Si tratta di diverse centinaia di migliaia di linee di codice, per creare strumenti per l'analisi della testabilità, la generazione del test, la verifica funzionale, l'esplorazione HW/SW, l'estrazione del parallelismo, la sintesi logica e d'alto livello. Per favorire il trasferimento tecnologico ed aumentare l'impatto dell'attività di ricerca svolta sono stati creati due siti web relativi alla sintesi logica e d'alto livello, all'estrazione automatica del parallelismo e all'esplorazione HW/SW su architetture multiprocessore eventualmente riconfigurabili: <https://trac.elet.polimi.it/panda/> e <https://trac.elet.polimi.it/cerbero/>.

La maggior parte di questi strumenti sono stati realizzati e gestiti in prima persona da Fabrizio Ferrandi nei progetti di ricerca in cui è stato coinvolto.

In conclusione, si può riassumere l'attività di ricerca di Fabrizio Ferrandi in tre filoni principali:

- Metodologie di analisi della testabilità, generazione del test e progetto diagnosticabile di architetture complesse
- Metodologie di validazione di sistemi digitali
- Metodologie di progetto e qualità del flusso di progettazione di sistemi misti HW/SW

Nel seguito, si presenteranno le diverse attività di ricerca con un maggior livello di dettaglio, correlandole alle pubblicazioni già accettate o agli articoli sottoposti e in corso di revisione.

III.1. Metodologie di analisi della testabilità, generazione del test e progetto diagnosticabile di architetture complesse

La ricerca in questo ambito ha analizzato sia sistemi realizzati su ASIC che su FPGA. Si sono definite tecniche che lavorano a diversi livelli di astrazione: dal livello di porta logica, al livello RT considerando descrizioni VHDL, e il livello comportamentale, sempre partendo da specifiche VHDL. Inoltre gli algoritmi sviluppati sono stati applicati sia a dispositivi per il controllo o per l'elaborazione, che a microprocessori come quelli con

architettura VLIW (Very Long Instruction Word). Sono state definite tecniche di analisi della testabilità, nuovi algoritmi di generazione del test e tecniche di Design for Testability.

III.1.a. Metodologie di Supporto alla Progettazione di Sistemi Digitali Testabili.

Questo lavoro di ricerca propone la definizione di una metodologia globale che indirizza le problematiche di collaudabilità e migliora la generazione del test, durante le varie fasi del flusso di progetto di dispositivi VLSI complessi. In particolare, si considerano queste problematiche dal livello di descrizione comportamentale sino al livello di porta logica. In questo modo si anticipa, rispetto al flusso, tradizionale la valutazione degli aspetti di collaudabilità integrandoli completamente nel processo di sintesi. Questa integrazione comporta principalmente due vantaggi:

- la qualità dell'implementazione finale del dispositivo è migliore con piccolo incremento del costo globale, in quanto è possibile compiere sin dalle prime fasi scelte architetturali, equivalenti dal punto di vista comportamentale, ma che comportano una migliore testabilità del dispositivo;
- il tempo richiesto per terminare il progetto è minore (consentendo un "time to market" ridotto), questo perché
 - le fasi di collaudo risultano essere più semplici;
 - l'introduzione di regole di progetto attinenti il collaudo del dispositivo rendono il singolo o il gruppo di progettisti più consapevoli del comportamento del dispositivo digitale;
 - le riprogettazioni (ripetizioni di alcuni passi del flusso di progetto) presenti solitamente in un flusso di progetto sono ridotte ed in alcuni casi completamente eliminate.

Nella letteratura esistono pochi approcci che considerano l'intero flusso di progetto ed in genere considerano o la parte di elaborazione o la parte di controllo. La metodologia proposta considera sia la parte di controllo che quella di elaborazione, definendo per ciascuna parte degli approcci specifici. In alcuni casi, quando la parte di elaborazione non è eccessivamente complessa, le due parti sono analizzate contemporaneamente da uno stesso approccio.

Inoltre, le metodologie attualmente disponibili che considerano le problematiche del collaudo dei dispositivi digitali operano a bassi livelli d'astrazione (livello di porta logica) e risentono delle grandi complessità computazionali richieste da questi procedimenti. Al contrario, i requisiti che vengono dal mercato, e principalmente dai progettisti dei *chip* VLSI, richiedono dagli strumenti di analisi velocità ed affidabilità. Perciò, per ridurre la complessità computazionale, gli approcci e gli strumenti proposti agiscono, ad ognuno dei livelli attraversati durante il progetto del dispositivo, secondo due indirizzi:

- analisi della testabilità in un dato momento del flusso di progettazione, per verificare la facilità con cui si può collaudare il dispositivo dato il livello di specifica del dispositivo;
- generazione del test per identificare un insieme di sequenze di vettori di test da applicare all'implementazione finale. Un tale insieme può essere utilizzato nelle successive fasi di generazione del test allo scopo di migliorare l'efficienza degli strumenti impiegati nei passi seguenti. Infatti, prima della fase di generazione del test viene svolta una simulazione delle sequenze allo scopo di rimuovere tutti quei guasti collaudati dai vettori o dalle sequenze prodotte al livello precedente.

In una prima fase del lavoro di ricerca la metodologia è stata presentata al workshop HLDVT '96 - *IEEE International High Level Design Validation and Test Workshop*, Oakland, California, November 15-16 1996.

Parte dei risultati di questo lavoro sono descritti in [B17], [B18], [B23], [B26]. Una buona parte del lavoro a carattere metodologico è presente nella tesi di dottorato che tra l'altro è stata classificata come miglior tesi del IX ciclo di dottorato e premiata con il premio "1997 Prize for Engineering and Technology - THE DIMITRIS N. CHORAFAS FOUNDATION".

Il lavoro di ricerca è stato svolto nell'ambito del progetto Esprit REQUEST n. 20616 [G4].

III.1.b. Analisi della collaudabilità e generazione del test per descrizioni VHDL

La metodologia proposta produce un insieme di vettori di test comportamentali (basati su di un modello di guasto comportamentale) ed un insieme di aree di difficile collaudabilità. Le informazioni prodotte possono essere impiegate per migliorare i passi di scheduling e allocazione della sintesi ad alto livello. Inoltre, la propagazione dei risultati prodotti dall'analisi svolta a livello comportamentale al livello RT (Register Transfer) aiuta e migliora le successive fasi di analisi della collaudabilità. Molta parte della ricerca è stata dedicata, oltre che alla identificazione di nuovi algoritmi per la generazione del test, allo studio della correlazione fra guasti a livello logico e guasti a livello comportamentale. Questa ricerca è in parte frutto del lavoro di dottorato, del progetto Esprit REQUEST n. 20616 (lavoro [G5]) e del Progetto Giovani Ricercatori "Definizione di una metodologia di collaudo per dispositivi elettronici descritti a livello algoritmico", finanziato dal Politecnico di Milano.

I primi risultati di questo lavoro riguardano la parte che analizza e correla il nuovo modello di guasto sviluppato sono descritti in [B15],[F4], che ripresi e poi estesi in [B31], [B34]. In particolare in [B31] ci si è concentrati su aspetti relativi alla correlazione fra elementi presenti prima e dopo la sintesi ad alto livello. In [B34] si è esplorata la bontà del modello di guasto semplificando al massimo l'algoritmo di generazione del test, basato su algoritmi genetici, per ridurre il tempo di analisi del dispositivo descritto a livello RT o comportamentale.

Verificata la bontà del modello di guasto si è affrontato il problema della generazione del test identificando una serie di algoritmi basati su un modello di rappresentazione implicita (Binary Decision Diagrams) della descrizione VHDL iniziale. I risultati e l'algoritmo proposto sono descritti in [B28]. Il lavoro è stato poi esteso sfruttando l'algoritmo di generazione del test, particolarmente efficiente se svolta ad alto livello d'astrazione, per esplorare lo spazio delle soluzioni architetturali in termini di testabilità del dispositivo [B33]. I lavori [B28], [B33] in versione estesa e rivista sono descritti nell'articolo accettato per la pubblicazione su *Transactions on Computers special issue on embedded fault-tolerant computer* [A8].

In parallelo a questo lavoro di ricerca si è studiata la proprietà dei vettori di test identificati dall'algoritmo di generazione del test proposto in [B28]. In particolare, si è notato che i vettori di test si adattano ad una applicazione interna al circuito (Built-In Self-Test) consentendo di ridurre l'area necessaria ai componenti di test. I primi risultati di questo lavoro sono stati presentati in [B24]. Successivamente è stato fatto un grosso lavoro di sperimentazione e validazione metodologico che ha portato alla pubblicazione [B35] e successivamente al lavoro [A9] accettato per la pubblicazione su *Journal of System Architecture*, JSA.

L'analisi fatta nell'ambito degli algoritmi per la generazione del test ed in quello della modellizzazione di guasto ha posto le basi per una proposta di algoritmo di test per macchine VLIW (Very Long Instruction Word). In particolare in [B36] si propone una metodologia che si basa sulla proiezione delle unità funzionali, visibili strutturalmente in una macchina di tipo VLIW, sui corrispondenti Instruction Set. La proiezione riduce la complessità di generazione del test mantenendo l'applicabilità dei vettori a livello di sistema e consente così di semplificare il procedimento di test di questo genere di architetture con il vantaggio di produrre una sequenza di test applicabile a livello di sistema.

L'esperienza maturata nell'ambito degli algoritmi per la generazione del test a livello funzionale ha portato anche ad una pubblicazione di un capitolo di un libro internazionale in [C4].

Nell'anno 2006 una cooperazione con il gruppo di intelligenza artificiale attraverso una tesi di laurea specialistica ha definito un nuovo approccio per la generazione di vettori di test sfruttando tecniche evolutive basate su algoritmi genetici. Il risultato di questa cooperazione è stato pubblicato ad una conferenza internazionale [B57].

III.1.c. Analisi della collaudabilità di unità di elaborazione.

La ricerca in questo ambito ha l'obiettivo di definire nuove tecniche di analisi della testabilità, progetto di circuiti testabili ed autodiagnosticabili, all'interno di un flusso di progettazione automatica di circuiti ASIC. Come riferimento è stato considerato un flusso di progettazione basato su descrizioni funzionali del circuito da realizzare e su linguaggi di specifica standard, come per esempio VHDL.

Questa attività si è svolta nell'ambito del progetto Esprit n.5020 – *PATRICIA* (lavori [G1], [G2]).

Nel metodologia proposta non si è cercato di determinare regole e misure di testabilità di tipo quantitativo e legate ad un solo livello di astrazione (tipicamente quello di porta logica), ma piuttosto di identificare una gerarchia di regole che possa indicare qualitativamente se un circuito risulta testabile o meno anche nel caso in cui questo non sia stato ancora completamente realizzato. Questo approccio ha come scopo quello di inserire eventuali modifiche per migliorare la diagnosticabilità sin dalle prime fasi della progettazione, cercando inoltre di localizzare e confinare il più possibile tali modifiche ove sia realmente necessario. Tramite questa analisi

qualitativa della testabilità è possibile identificare le aree critiche per il test (che non permettono la controllabilità o l'osservabilità di qualche segnale): è possibile quindi passare tali informazioni ad uno strumento software che, data una base di conoscenza delle tecniche di progetto diagnosticabile (*Design for Testability*) e dato il circuito, sia in grado, eventualmente guidato dal progettista del circuito mediante una serie di vincoli e parametri, di determinare le modifiche più appropriate da eseguire sul circuito per renderlo facilmente diagnosticabile. Nello sviluppo del progetto, sia la parte di analisi della testabilità che quella d'inserimento delle tecniche di *Design for Testability* sono state sviluppate inizialmente come sistemi esperti.

Il lavoro relativo all'estensione dell'analisi della testabilità a descrizioni contenenti moduli arbitrariamente connessi è descritto in [B2] e in [B3]. L'integrazione delle regole di *Design for Testability* in un sistema esperto è descritta in [B1]. I lavori [B3], [B2], [B1] in versione estesa e rivista sono descritti nelle due seguenti pubblicazioni su rivista internazionale: [A1], [A2].

Da questa base si è poi passati ad un lavoro di analisi delle regole di *Design for Testability* (lavoro [B4]) e di identificazione di proprietà di testabilità di moduli descritti in VHDL (lavoro [B5]). I lavori [B4], [B5] in versione estesa e rivista sono descritti nella pubblicazione su rivista internazionale [A3].

Successivamente, nell'ambito del progetto Esprit OMI 20616, *Request* (lavoro [G3]), il lavoro di ricerca si è ampliato applicandolo ad un flusso ASIC ed introducendo nuovi algoritmi di analisi della testabilità partendo da descrizioni basate su Binary Decision Diagrams (lavori [B6], [F2] che in forma estesa e rivista è descritto in [F3]). In una fase successiva l'analisi della testabilità proposta è stata estesa ad unità di elaborazione basate su di un'architettura *pipeline* (lavoro [B13] che in forma estesa e rivista è descritto in [F7]).

Un'estensione metodologica degli approcci proposti ha portato ad una nuova tecnica di sintesi ad alto livello che rende un dispositivo di elaborazione dati autodiagnosticabile. Lo scopo di questo approccio è quello di identificare possibili guasti affiancando al flusso nominale di calcolo un secondo flusso che riesegue la computazione in modo indipendente allungando la latenza di calcolo e sfruttando le risorse lasciate libere dal flusso nominale. L'idea proposta, dimostrata da risultati sperimentali, è che la somma dei costi dei due flussi di calcolo, per effetto del riuso, sia minore del costo del circuito duplicato (lavoro [A6]).

III.1.d. Generazione del test ed analisi della collaudabilità per macchine a stati interagenti

L'argomento trattato è parte della tesi di dottorato, del progetto Esprit REQUEST n. 20616 (lavoro [G6]) e del progetto Ricerca Coordinato del CNR: "*Metodologie per il Progetto di Circuiti e Dispositivi Micro-Elettronici Complessi ed Altamente Collaudabili?*". L'approccio proposto si riferisce ad architetture descritte da macchine a stati interagenti (Interacting FSM – IFSM), e cioè circuiti dove la parte di controllo risulta essere preponderante. Il procedimento di generazione del test per la rete di IFSM si basa su di un nuovo modello di guasto che sfrutta la rappresentazione delle macchine a stati basata sui BDD. Se la copertura di guasto raggiunta non risulta essere soddisfacente vengono applicate le tecniche di progettazione che migliorano la collaudabilità del circuito (*Design for Testability*).

Nella prima fase è stato sviluppato l'algoritmo di generazione del test per macchine a stati interagenti (lavoro [B7]) poi è stata proposta una metodologia di analisi della testabilità che ha portato al lavoro [B9], basato su un modello di guasto innovativo, che ha ottenuto il riconoscimento di *Best Paper Award* alla conferenza *IEEE/ACM Eurodac with EuroVHDL '96*. La metodologia è stata poi applicata a livello di porta logica [B10] mantenendo traccia di informazioni provenienti dal livello funzionale. I lavori [B7], [B9], [B10] in versione estesa e rivista sono descritti nella pubblicazione su rivista internazionale [A4].

Un secondo filone di ricerca ha riguardato la classificazione dei guasti e la loro iniezione implicita nella rappresentazione basata su BDD della macchina a stati (lavoro [B21]).

In parallelo ai precedenti lavori è stato considerato il problema della minimizzazione della lunghezza della sequenza di test. È stato quindi proposta una strategia innovativa basata su tecniche implicite che comprime e concatena sequenze di vettori per il test di circuiti sequenziali. La caratteristica innovativa dell'approccio risiede nella sua capacità di identificare fra un insieme enorme di sequenze, la sequenza più breve che collauda i guasti più difficili. Una volta collaudati i guasti più difficili l'algoritmo prosegue considerando i gruppi di guasti rimasti sino al loro esaurimento (lavoro [B11]). Un'interessante applicazione dell'approccio ha considerato il problema della costruzione di un'architettura BIST per circuiti che implementano macchine a stati finiti (lavoro [B12]). I lavori [B11], [B12] sono descritti in versione estesa e rivista in [F10].

Inoltre, interessanti applicazioni dell'algoritmo hanno portato alla definizione di un procedimento utile al test vincolato di architetture FPGA (lavoro [B20]) che in versione estesa e rivista è descritto in [F8].

III.2. Metodologie di validazione di sistemi digitali

La ricerca ha portato alla definizione e allo sviluppo di tecniche per la verifica formale per dispositivi per le telecomunicazioni e di tecniche per la validazione di dispositivi elettronici descritti a diversi livelli d'astrazione in VHDL.

III.2.a. Verifica formale di dispositivi per le telecomunicazioni.

Lo scopo di questa ricerca, sviluppata in collaborazione con i laboratori di ricerca ITALTEL SIT e parte del progetto Esprit FORMAT n. 6128, è quello di realizzare un insieme di strumenti per la verifica formale di un generico dispositivo. In particolare, si sono considerate le fasi di specifica del progetto e di verifica funzionale, che sono le fasi più critiche delle attuali metodologie di progetto. Inoltre, dall'analisi degli strumenti sviluppati e dall'analisi di un insieme di dispositivi per le telecomunicazioni sviluppati nei laboratori ITALTEL, si sono formalizzate delle regole di buon progetto che indirizzano e semplificano l'applicazione delle tecniche di verifica formale.

Parte dei risultati di questo lavoro sono descritti in [B14], [B16], [F5]. I lavori [B14], [B16] sono stati poi ampliati nei due capitoli di libro: [C1], [C2].

Durante la collaborazione con Siemens ICN si è affrontato un altro problema inerente la verifica formale e cioè quello che va sotto il nome di equivalence checking. In particolare in [F11] si sono analizzati e confrontati due tool applicando gli algoritmi di equivalence checking a descrizioni VHDL industriali.

III.2.b. Verifica funzionale di dispositivi digitali.

In questo lavoro di ricerca si è proposto un nuovo modello di metrica di copertura per la validazione di sistemi digitali descritti in VHDL. Il modello di copertura si basa su un modello di errore che prevede la possibilità che ciascuna lettura/scrittura di segnale, variabile porta o costante si possa guastare in un bit qualsiasi. Il modello di errore (*bit error model*) viene poi usato come base per un generatore di test in grado di trattare descrizioni a livello algoritmico/RT. La potenza del modello di errore proposto è tale da produrre vettori di test di qualità superiore a quelli tipicamente usati nel test del software. La metodologia può essere applicata sia a descrizioni VHDL multiprocesso che strutturali.

Parte dei risultati di questo lavoro sono descritti in [B30], [B37], [B39] ed in [B40]. In particolare, in [B30] si è considerato l'aspetto di validazione di descrizioni VHDL a livello RT descritte come reti di moduli combinatori e registri, mentre in [B37] si sono considerate descrizioni VHDL relative a macchine a stati finiti. L'articolo [B30] ha ottenuto il riconoscimento di *Best Paper Award* alla conferenza *IEEE/ACM DATE* 1999.

Infine i lavori [B30], [B37] sono descritti in versione estesa e rivista in [F9] e quindi pubblicato su *IEEE Transactions on Reliability* in [A10]. Mentre i lavori [B39] e [B40] in versione estesa hanno portato alla pubblicazione a rivista su *IEEE International Journal Of Parallel Programming* in [A11].

III.3. Metodologie di progetto e qualità del flusso di progettazione di sistemi misti HW/SW

In questo ambito sono stati considerati diversi filoni di ricerca: tecniche di partizionamento automatico macchina stati/unità di elaborazione di descrizioni VHDL; tecniche di sintesi e ottimizzazione di macchine a stati interagenti sfruttando la rimozione dei guasti ridondanti del dispositivo; tecniche di stima di potenza e di progettazione di dispositivi a basso consumo di potenza, tecniche di sintesi logica e ad alto livello ed infine metodologie e strumenti per il progetto di sistemi HW/SW dedicati.

III.3.a. Partizionamento automatico di descrizioni VHDL

In questo lavoro di ricerca si propone una metodologia per il partizionamento automatico di descrizioni VHDL di generici circuiti. Lo scopo dell'approccio è quello di separare la parte di controllo dalla parte di elaborazione al fine di facilitare o consentire l'identificazione di vettori di test per il circuito oppure la sua sintesi ottimizzata. L'identificazione delle parti che devono essere spostate viene fatta in base alla complessità della descrizione ed in base al numero di bit associati ai segnali di interconnessione. Questa ricerca è parte integrante del progetto Esprit REQUEST n. 20616.

Il lavoro di partizionamento è descritto in [B25] mentre l'analisi sperimentale della qualità in termine di area e di testabilità del circuito sono presentati in [B27]. I lavori [B25], [B27] in versione estesa e rivista sono stati pubblicati nel capitolo di un libro (lavoro [C3]).

III.3.b. Tecniche di ottimizzazione basate su rimozione delle ridondanze

L'approccio proposto identifica e rimuove le ridondanze a livello di porta logica e produce, per i guasti collaudabili, una sequenza di test per ogni macchina della rete di macchine a stati interagenti. Le sequenze di test identificate per ogni singolo modulo vengono giustificate agli ingressi primari e propagate alle uscite primarie. Infine, il generatore di test per ridurre il numero di guasti da considerare sfrutta le sequenze di test identificate nelle fasi precedenti del flusso di progetto. Questa ricerca, svolta nell'ambito del dottorato di ricerca, è parte integrante del progetto Esprit REQUEST n. 20616.

I risultati di questo lavoro sono descritti in [B8] che poi, in versione rivista ed estesa, è stato pubblicato su rivista internazionale [A5].

III.3.c. Stima di potenza per descrizioni VHDL

Nell'ambito del progetto di Ricerca Coordinato del CNR: "*Metodologie e Strumenti per la progettazione Automatica di Circuiti e Sistemi Digitali a Basso Consumo di Potenza*" si sono considerate le problematiche di stima di potenza e di progettazione di dispositivi a basso consumo di potenza. La metodologia prevede un'analisi diretta di descrizioni VHDL comportamentali, estraendo una rappresentazione funzionale basata su BDD, ed una stima del consumo di potenza basata sul calcolo dell'entropia. I risultati di questo lavoro sono descritti in [B19].

III.3.d. Sintesi logica e ad alto livello

In questo lavoro di ricerca si sono studiati i metodi classici di minimizzazione logica a due livelli. In particolare si è proposta una tecnica di risoluzione euristica per il problema di copertura unata, problema in cui si può riformulare la minimizzazione a due livelli, usando tecniche di rilassamento lineare basate sui moltiplicatori lagrangiani. I risultati ottenuti da questo approccio sono tali da giustificare l'applicazione a descrizioni molto complesse dove i metodi classici non riescono a produrre risultati in tempi accettabili.

I risultati di questo lavoro sono descritti in [B32] che poi, in versione rivista ed estesa, è stato accettato per la pubblicazione su Transactions on CAD/ICAS [A7].

Parallelamente a questo lavoro sulla minimizzazione di reti logiche si è affrontato il problema della sintesi di reti pass transistor partendo da descrizioni funzionali. Quello che attualmente viene identificato con il termine di Physical Synthesis. Le caratteristiche salienti sono l'uso di algoritmi simbolici per la copertura in termine di celle basate su pass transistor. L'algoritmo di copertura sceglie la combinazione migliore fra le celle che realizzano il circuito iniziale date le caratteristiche fisiche dei transistor (ritardo e area). I risultati sino ad ora prodotti sono molto migliori rispetto a quelli ottenuti da metodologie tradizionali basate su celle CMOS. La complessità del lavoro e delle conoscenze necessarie ha richiesto il coinvolgimento di diverse persone provenienti da università diverse (Politecnico di Milano, Politecnico di Torino e Università di Colorado a Boulder).

I risultati iniziali di questo lavoro sono descritti in [B22] che poi in versione estesa e rivista hanno portato al lavoro [B29].

In collaborazione con Central R&D di STMicroelectronics a livello di sintesi logica è stata intrapresa una attività di ricerca relativa all'estrazione di regolarità e al miglioramento della manufacturabilità di un dispositivo digitale.

I risultati iniziali di questo lavoro sono descritti in [B61]

Recentemente è stato ripreso un problema classico della sintesi ad alto livello, quello che considera il problema dello scheduling delle operazioni di una specifica ad alto livello d'astrazione. In particolare sono state utilizzate ed estese tecniche di estrazione del parallelismo tipicamente utilizzate nell'ambito dei compilatori. In particolare è stato introdotto il concetto di esecuzione speculativa nel contesto di risorse condivise. Il lavoro di ricerca è anche frutto di una cooperazione con il gruppo di ricerca operativa dell'Università statale di Milano – sede di Crema.

I risultati di questo lavoro di ricerca sono descritti in [B50], [B51], [B61], [B64], [B68].

III.3.e. Metodologie e strumenti per il progetto di sistemi hw/sw dedicati

Un settore del mercato elettronico in forte e costante espansione è quello dei dispositivi dedicati o embedded. La complessità di questi sistemi è in costante aumento e questo genera nuove esigenze sia nei confronti delle soluzioni architetturali implementative che delle metodologie di progetto. La risposta più promettente al problema delle architetture è quella delle cosiddette "platform FPGA": queste sono sistemi su singolo chip composti da uno o più processori, periferiche e grandi quantità di logica programmabile (FPGA). L'adozione di queste architetture apre possibilità che, per essere sfruttate, richiedono di affrontare in maniera innovativa alcune

classiche problematiche del progetto, tra le quali la specifica, l'hardware/software codesign, la verifica funzionale. In una prima fase, la ricerca svolta in questo ambito ha riguardato lo studio delle problematiche concernenti la realizzazione di un flusso di progetto che, partendo da descrizioni del sistema in qualche linguaggio di alto livello (C, C++ o varianti di questi per la descrizione dell'hardware) portasse alla realizzazione del sistema su un'architettura composta da processori e logica programmabile sullo stesso chip. Un ruolo di rilievo nel lavoro lo hanno ricoperto i formalismi orientati agli oggetti, già protagonisti di una rivoluzione nel campo della progettazione dei sistemi software di varia complessità. Una questione interessante nel contesto della progettazione hardware è se questa tecnologia possa essere utilizzata per il progetto di sistemi digitali complessi, apportando benefici tra i quali la riusabilità dei componenti e l'efficienza nel progetto.

Parte dei risultati di questo lavoro sono descritti in [B38], [B41] e [B42].

Successivamente a questa fase di studio metodologico è seguita una fase di sviluppo di metriche e algoritmi capaci di guidare il progettista nel partizionamento e nel mapping di applicazioni descritte usando linguaggi di specifica come SystemC (estensione del C++ per la progettazione dei sistemi dedicati) su piattaforme riconfigurabili multiprocessore. In particolare, si sono considerati algoritmi di partizionamento e mapping basati sulla simulazione (profiling) e sull'applicazione di algoritmi evolutivi (algoritmi genetici e tecniche di apprendimento con rinforzo).

Parte dei risultati di questo lavoro sono descritti in [B43], [B44], [B45], [B58].

Lo studio del partizionamento HW/SW è poi evoluto considerando l'estrazione del parallelismo da applicazioni SW sequenziali (in cui il parallelismo non è esplicito) descritte in linguaggio C. La ricerca si è focalizzata sui differenti modelli che è possibile utilizzare per esprimere il parallelismo ottenuto e sui differenti modelli utilizzati per descrivere la comunicazione tra i diversi componenti dell'architettura obiettivo. Per poter effettuare la validazione della metodologia proposta è stata costruita una infrastruttura software per l'estrazione del parallelismo ed il partizionamento delle specifiche sequenziali. Le applicazioni sono ottimizzate considerando come architetture HW sistemi dedicati multiprocessore, dove il parallelismo viene usato come mezzo per migliorare le prestazioni senza incrementare la frequenza di lavoro, il consumo di potenza e l'inaffidabilità del sistema.

I risultati iniziali di questo lavoro sono descritti in [B66] e [B69].

Un altro filone di ricerca, ha considerato il problema della riconfigurabilità dinamica all'interno del flusso classico di progettazione dei sistemi dedicati. L'idea principale è quella di utilizzare nello sviluppo delle comuni architetture riconfigurabili, come le FPGA, e le relative schede prototipali (principalmente basate su FPGA XILINX) senza l'impiego di alcuno dispositivo specifico; il tutto per dimostrare come sia possibile creare delle architetture riconfigurabili dinamicamente a basso costo e di facile utilizzo e che rispettino i vincoli di progetto.

Parte dei risultati di questo lavoro sono descritti in [B46], [B47], [B48], [B49], [B50], [B53], [B54], [B55], [B56] e [B60] e nel capitolo di libro [C5].

La tecnologia riconfigurabile è stata poi sfruttata per studiare le architetture multiprocessore on chip (MPSoC), costituite da numerose unità di elaborazione, anche eterogenee, programmabili e da componenti hardware specifici, collegate con canali di comunicazione veloci. Nella piattaforma multiprocessore è stato introdotto il supporto al context switching e alla gestione di vincoli di real time. In particolare, si sono considerate le problematiche relative alla definizione di un nuovo microkernel con algoritmo di scheduling real time specifico (Dual Priority MultiProcessor), e all'estensione dello studio effettuato sulle gerarchie di memoria, introducendo meccanismi di Direct Memory Access (DMA) per muovere i dati da locazioni di memoria condivise a locazioni di memoria private per ciascun processore.

Parte dei risultati di questo lavoro sono descritti in [B59], [B62], [B63], [B65], [B67] e [B70].

III.4. Attività organizzative in ambito scientifico

Progetti di ricerca

La tesi di laurea è stata sviluppata in parte durante lo stage in ITALTEL e in parte presso il Politecnico di Milano nell'ambito del progetto Esprit n.5020 - *PATRICIA*.

Dall'ottobre 1992 al novembre 1993 ha collaborato con il Politecnico di Milano in qualità di consulente nell'ambito del progetto Esprit n.5020 - *PATRICIA*.

Dal giugno 1995 a giugno 1996 ha collaborato con ITALTEL SIT nell'ambito del progetto *ESPRIT* n. 6128 “*Formal Methods in hardware verification*” (*FORMAT*).

Dal novembre 1995 a novembre 1998 ha partecipato sia all'attività di ricerca scientifica sia all'attività di coordinamento e gestione del progetto *ESPRIT* - OMI n. 20616 “*Reuse and quality estimation: advanced VHDL based design methodology for quick system development*” - *REQUEST*. Partecipanti al progetto: SIDSA (Spain) Deutsche Telekom (Germany), France Telecom (France) Telefónica Investigación y Desarrollo (Spain), ITALTEL (Italy) LEDA (France), CADENCE / SYNTHESIA (Sweden), OFFIS (Germany), Politecnico di Milano (Italy). Coordinatore Scientifico: Serafin Olcoz (SIDSA).

Nel 1996-97 ha partecipato al progetto di Ricerca Coordinato del CNR: “*Metodologie per il Progetto di Circuiti e Dispositivi Micro-Elettronici Complessi ed Altamente Collaudabili*”. Partecipanti al progetto: Politecnico di Torino, Politecnico di Milano. Coordinatore Scientifico: A. R. Meo.

Dal 1997 al 1999 ha partecipato al progetto di Ricerca Coordinato del CNR: “*Metodologie e Strumenti per la progettazione Automatica di Circuiti e Sistemi Digitali a Basso Consumo di Potenza*”. Partecipanti al progetto: Politecnico di Torino, Politecnico di Milano, Università degli Studi di Brescia, Università degli Studi di Ferrara. Coordinatore Scientifico: Prof. M. Mezzalama, Politecnico di Torino.

Da marzo 2000 è responsabile della collaborazione con SIEMENS MC nell'ambito della verifica di dispositivi digitali e nell'ambito del riuso di descrizioni dell'hardware tramite estensioni ad oggetti (SystemC plus).

Nell'anno 2000 è stato coordinatore del Progetto Giovani Ricercatori “*Definizione di una metodologia di collaudo per dispositivi elettronici descritti a livello algoritmico*”, finanziato dal Politecnico di Milano.

Dal settembre 2004 è uno dei responsabili scientifici del progetto *ESPRIT* – IST-004452 “*Interface and Communication based Design of Embedded Systems*” - *ICODES* (STREP).

L'obiettivo principale del progetto *ICODES* è lo sviluppo di nuove tecnologie per la modellazione e la sintesi hardware software di sistemi dedicati. In *ICODES* verrà definito un linguaggio di specifica, basato su SystemC 2.0 che consentirà una visione olistica del progetto di un sistema dedicato. Fornirà un singolo formalismo per modellare hardware, software e gli oggetti di comunicazione. In particolare, tecniche di progettazione basata sulla comunicazione ed orientate agli oggetti saranno integrate nel flusso di progetto per sistemi dedicati. Il Politecnico di Milano si occuperà dello sviluppo di metriche statiche a livello di modelli transaction based in SystemC 2.0 e orientate alla progettazione hardware/software.

Fra i partecipanti al progetto, oltre al Politecnico di Milano, ci sono: Bosch GmbH (Germany), ECSI (France), OFFIS (Germany), Prosilog SA (France), Siemens Mobile Communications S.p.A. (Italy) e Thales Communications SA (France).

Nell'anno 2005 ha partecipato in prima persona alla preparazione del progetto “*Metodologie di progettazione di sistemi multiprocessore on-chip basati sul concetto di piattaforma*” PRIN2005 e poi accettato.

Obiettivo del progetto di ricerca è lo sviluppo di una metodologia di progetto per sistemi multi-processore on-chip (MPSoC) basati sul concetto di piattaforma. Si considera un'architettura a livello sistema propria dei MPSoC ad elevatissima densità di integrazione, consistente di un insieme di cluster di unità computazionali collegati fra loro mediante una rete di interconnessioni altamente scalabile. In tale scenario, i principali obiettivi di questo progetto di ricerca sono la definizione di metodologie per la modellazione, simulazione e verifica di piattaforme multi-processore, metodologie per il partizionamento hardware/software basato sulla esplorazione a livello di sistema e metodologie di mapping dell'applicazione per la definizione della soluzione più efficiente in base al tipo di applicazione. Il Politecnico di Milano si occuperà della definizione di una metodologia per l'identificazione dinamica della granularità della specifica che consenta l'identificazione dei colli di bottiglia e la loro analisi in maniera più dettagliata. A seguito dell'analisi di granularità, sarà definita una metodologia di supporto all'esplorazione prestazioni-consumo di potenza a livello di sistema per piattaforme multiprocessore.

Nell'anno 2005 ha partecipato in prima persona alla preparazione del progetto europeo -HARTES (Integrated Project) e di cui successivamente è diventato responsabile scientifico per il Politecnico di Milano a partire dal settembre 2006.

Il progetto HARTES mira alla definizione di un approccio olistico per la progettazione di sistemi embedded real-time complessi che impieghi i più recenti strumenti per l'esplorazione e le tecnologie hardware per la riconfigurazione. L'approccio proposto vuole costruire un sistema dedicato ottimo partendo da descrizioni di alto livello e che miri al massimo sfruttamento di piattaforme hardware composte da una combinazione di processori dedicati, DSP e hardware riconfigurabile. Gli elementi innovativi di HARTES sono: a) l'adozione di specifiche sia testuali che grafiche durante l'esplorazione algoritmica, b) lo sviluppo di un ambiente per l'esplorazione dello spazio di progetto che sia in grado di guidare il progettista nelle operazioni di partizionamento, trasformazione dei task, scelta della rappresentazione dei dati ed implementazione e che meglio sfrutti i processori presenti sulla piattaforma hardware adottata. Il Politecnico di Milano, sotto coordinamento scientifico di Fabrizio Ferrandi, si occuperà dello sviluppo di nuove metriche e algoritmi capaci di guidare il progettista nel partizionamento e nel mapping di applicazioni di elaborazione dei segnali su piattaforme riconfigurabili multiprocessore. In particolare, gli algoritmi di partizionamento e mapping si baseranno sulla simulazione (profiling) e sull'applicazione di algoritmi evolutivi.

Fra i partecipanti al progetto, oltre al Politecnico di Milano, ci sono: Imperial College (United Kingdom), Technische Universiteit Delft (Netherlands), Europe Technologies SA (France), ATMEL Roma (Italy), Leaff Engineering (Italy), Università di Ferrara (Italy), INRIA(FR), FAITAL (Italy), Univerisità Politecnica delle Marche (Italy), NOKIA(Finland) Fraunhofer Gesellschaft zur Förderung der angewandten Forschung e.V (Germany), Université d'Avignon et des Pays de Vaucluse (France) e Thales SA (France).

Dal 2005 partecipa alle attività della ARTIST2 network of excellence / Cluster on execution platforms.

Il 13 dicembre 2007 Fabrizio Ferrandi è stato invitato dalla commissione europea a EU Workshop on Reconfigurable Computing, partecipando in qualità di esperto del settore per la definizione dei programmi di ricerca futuri nell'ambito del settimo programma quadro.

Cooperazioni in ambito accademico

Il lavoro di ricerca svolto da Fabrizio Ferrandi ha prodotto anche diverse cooperazioni in ambito accademico:

UniMi (Italia) e UTT (Francia). I lavori sulla sintesi logica e quello di sintesi ad alto livello sono nati da una cooperazione continua con il gruppo di ricerca operativa dell'Università statale di Milano – sede di Crema e con quello della Université de Technologie de Troyes, Laboratoire d'Optimisation des Systèmes Industriels (LOSI).

TU Paderborn e Heinz Nixdorf Institute (Germania). Il lavoro sulla riconfigurabilità dinamica basato su architetture FPGA ha portato ad una cooperazione e ad uno scambio di studenti con l'università di Paderborn e il centro di ricerca Heinz Nixdorf. In particolare, nell'estate del 2005 un dottorando del centro di ricerca Heinz Nixdorf è stato ospite del DEI, mentre nel gennaio 2006 un dottorando DEI ha visitato l'università di Paderborn. Il successo di questi incontri ha posto le basi per la creazione di un progetto congiunto legato ai sistemi riconfigurabili, dove due studenti della laurea specialistica del Politecnico di Milano lavoreranno in Germania a tempo pieno per sei mesi a partire da febbraio 2006.

Polito e UniVerona (Italia). I lavori sulla rimozione delle ridondanze e quelli della generazione del test per descrizioni comportamentali in VHDL sono nati da una collaborazione con i gruppi di ricerca del Politecnico di Torino e dell'Università di Verona.

CNR (Italia). Le problematiche di stima di potenza e di progettazione di dispositivi a basso consumo di potenza ha comportato una cooperazione con il Politecnico di Torino nell'ambito di un progetto di ricerca coordinato del CNR.

Polito e Università di Colorado a Boulder. Il lavoro di sintesi di descrizioni funzionali verso reti di pass transistor è stato svolto in stretta collaborazione con il Politecnico di Torino e l'Università di Colorado a Boulder.

Cooperazioni in ambito industriale

I molteplici argomenti di ricerca affrontati hanno portato anche a diverse cooperazioni industriali che verranno schematicamente di seguito descritte:

ITALTEL SIT (Italia). La tesi di laurea, l'attività di ricerca sulla verifica formale, sull'analisi della testabilità e generazione del test per descrizioni VHDL svolta nell'ambito di contratti di ricerca e del progetto Esprit REQUEST è stata svolta in cooperazione con ITALTEL SIT.

Siemens Mobile Communications S.p.A. (Italia). Dall'anno 2000 è in atto una collaborazione continua con il gruppo di ricerca e sviluppo di Siemens Mobile Communications su temi come la verifica funzionale di dispositivi

funzionali, sulla qualità del progetto e del flusso di progetto dei sistemi dedicati realizzati attraverso la tecnologia delle FPGA. Questa collaborazione si è riflessa sia in contratti di ricerca industriali che in progetti della comunità europea (es. ICODES). Dall'anno 2007 l'attività di ricerca con NSN -Nokia Siemens Network s.p.a si è poi concentrata su aspetti relativi all'estrazione del parallelismo e alla progettazione di sistemi multiprocessore realizzati su FPGA.

Xilinx Inc. (Italia). I lavori sulla riconfigurabilità dinamica hanno portato ad una cooperazione ed ad un supporto di Xilinx. In particolare, tutte le schede prototipali con FPGA usate come supporto nell'attività dattistica e di ricerca sono state donate da Xilinx al laboratorio di Microarchitetture del dipartimento di Elettronica e Informazione.

ST – Microelectronics (Italia). I lavori di sintesi logica e ricerca di regolarità per sistemi ASIC o riconfigurabili hanno attivato una cooperazione con la sezione di Central R&D di ST – Microelectronics. Durante l'attività di ricerca coordinata da Fabrizio Ferrandi sono state attivate due borse di studio di dottorato per i dottorandi Angelo Rosiello e Christian Pilato.

ATMEL Roma (Italia). Le metriche per il partizionamento e gli algoritmi per il mapping hardware/software per sistemi multiprocessore hanno prodotto come ricaduta un interesse prima ed una successiva cooperazione con ATMEL Roma. Cooperazione che si è tradotta nella definizione di un Integrated Project presentato ed accettato dalla comunità europea. A beneficio del laboratorio di Microarchitetture questa cooperazione ha portato anche alla donazione di diverse schede di prototipazione.

ESAOTE SpA (Italia). Gli algoritmi di identificazione della granularità e di estrazione del parallelismo hanno portato ad una collaborazione per lo sviluppo di nuove applicazioni biomedicali con ESAOTE.

TCT - Target Compiler Technologies (Olanda). Gli algoritmi per la stima e per il partizionamento di specifiche in linguaggio C sono oggetto di una cooperazione con Target Compiler Technologies.

ESA- European Space Agency. Gli algoritmi di estrazione del parallelismo hanno portato ad una collaborazione con il gruppo TEC –EDM di ESA.

In generale esiste un forte interesse nell'ambito industriale (STM, ATMEL, TCT, NSN, ESA) per le attività di ricerca sviluppate attualmente da Fabrizio Ferrandi e relative ai temi di sintesi logica e d'alto livello, all'estrazione del parallelismo da specifiche in linguaggio C e a strumenti e metodologie per la progettazione di sistemi multiprocessori per sistemi dedicati.

III.5. Comitati di programma e attività di revisione

Collabora con il comitato di redazione delle riviste *IEEE Transactions on Computers*, *IEEE Transactions on CAD/ICAS*, *Journal of System Architecture JSA*, *Microelectronics Journal* e *IEEE Transactions on Instrumentation & Measurement* per la revisione degli articoli.

È stato revisore per le conferenze *DAC*, *Euro-DAC*, *DATE*, *ICCAD*, *FDL*, *GLS*, *CODES/ISSS*.

È stato membro del *Program Committee* di IEEE Innovative Systems on Silicon (ISIS) 1997.

Topic Co-Chair della sessione "Architectural Synthesis" e membro del *Program Committee* di Design Automation and Test in Europe (DATE) 2006.

Topic Chair della sessione "Architectural Synthesis" e membro del *Program Committee* di Design Automation and Test in Europe (DATE) 2007.

Topic Chair della sessione "Architectural Synthesis" e membro del *Program Committee* di Design Automation and Test in Europe (DATE) 2008.

Membro del comitato di programma di

- "1st IEEE IC-SAMOS 2006 - The International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation"
- "6th SAMOS Workshop 2006 - The Embedded Computer Systems: Architectures, Modeling, and Simulation"
- "7th SAMOS Workshop 2007 – "International Workshop on Systems, Architectures, Modeling, and Simulation"
- "8th SAMOS Workshop 2008 – "International Workshop on Systems, Architectures, Modeling, and Simulation"

E' membro di IEEE, IEEE Computer Society e Test Technology Technical Committee.

III.6. Presentazioni, articoli e lezioni su invito

Presentazione alla I *Giornata nazionale di sintesi logica* dal titolo “Mathematical programming approaches for logic and high-level synthesis”, Polo Didattico e di Ricerca di Crema, 24 Giugno 2005.

Presentazione alla II *Giornata nazionale di sintesi logica* dal titolo “Estrazione delle regolarità funzionali in unità di elaborazione”, Pisa, 15 giugno 2006.

Presentazione alla III *Giornata nazionale di sintesi logica* dal titolo “A hash-based approach to extract functional regularity during logic synthesis, Verona, 21 giugno 2007.

Articolo invitato a:

Workshop on Directions in FPGAs and Reconfigurable Systems: Design, Programming and Technologies for adaptive heterogeneous Systems-on-Chip and their European Dimensions, held during Design Automation and Test in Europe 2007 (DATE '07), April 20 2007 Nice, France

F. Ferrandi, L. Fossati, M. Lattuada, G. Palermo, D. Sciuto, A. Tumeo

“Partitioning and Mapping for the hArtes European Project”. pp. 47-52. (Pubblicazione [B69]).

Presentazione a CASTNESS 2008 International workshop on Computing Architectures and Software Tools for Numerical Embedded Scalable Systems dal titolo “hArtes: software partitioning overview”, January 15 2008 - ROMA – Italy.

Lezione alla scuola associata a CASTNESS 2008 Computing Architectures and Software Tools for Numerical Embedded Scalable Systems dal titolo “Zebu: a compiler framework for MPSoCs Architectures” , January 18 2008 - ROMA – Italy.

IV. Premi e Borse di studio.

Durante l'anno accademico 1990/1991, iscritto come regolare al quinto anno del Corso di Laurea in Ingegneria Elettronica, è stato selezionato per uno stage di 11 mesi presso il laboratorio di ricerca centrale della società ITALTEL SIT.

Ha vinto il *Best Paper Award EURO-VHDL '96* per l'articolo "*BDD-based Testability Estimation of VHDL Designs*" presentato in occasione della conferenza IEEE/ACM European Design Automation Conference and Euro-VHDL, tenutasi a Ginevra dal 16 al 20 Settembre 1996.

Il 26 Agosto 1997, la tesi di dottorato è stata premiata con il premio "*1997 Prize for Engineering and Technology - THE DIMITRIS N. CHORAFAS FOUNDATION*".

Ha vinto il *Best Paper Award DATE '99* per l'articolo "*Symbolic functional vector generation for VHDL specifications*" presentato in occasione della conferenza IEEE DATE '99 – Design, Automation and Test in Europe, tenutasi a Monaco dal 9 al 12 Marzo 1999.

In una valutazione della ricerca condotta nel 2006 dal Comitato di Indirizzo per la Valutazione della Ricerca CIVR. (<http://vtr2006.cineca.it/>) l'articolo [A8] è stato valutato come prodotto eccellente.

Milano, 30 Gennaio, 2008

Fabrizio Ferrandi

V. Elenco delle pubblicazioni di Fabrizio Ferrandi

Relativamente alle pubblicazioni svolte in collaborazione con altri autori, l'attività di ricerca è stata svolta in stretta collaborazione tra gli autori, il cui contributo è pertanto da ritenersi paritetico.

V.1. Riviste internazionali con comitato di revisione internazionale

- [A1] M.Bombana, G.Buonanno, P.Cavalloro, F.FERRANDI, D.Sciuto, G.Zaza,
“ALADIN: A Multi-Level Testability Analyzer for VLSI System Design”,
IEEE Transaction on Very Large Scale Integration (VLSI) Systems,
vol. 2, no. 2, June 1994, pp. 157-171.
(versione estesa e rivista di [B1], [B2] e [B3]).
- [A2] F.FERRANDI,
“Reduction of Fault Detection Costs through a BDD Formalism”,
Microprocessing and Microprogramming (The EUROMICRO Journal),
vol. 8 n. 40 Ed. Elsevier Science, 1994, pp. 841-844.
(versione estesa e rivista di [B1], [B2] e [B3]).
- [A3] C.Bolchini, G.Buonanno, F.FERRANDI, D.Sciuto, M.Bombana, P.Cavalloro,
“A Wafer Level Testability Approach Based on an Improved Scan Insertion Technique”,
IEEE - Transaction on Components, Packaging, and Manufacturing Technology Part B; Advanced Packaging,
vol. 18, no. 3, August 1995, pp. 438-447.
(versione estesa e rivista di [B4] e [B5]).
- [A4] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
“Testing Core-Based Digital Systems: A Symbolic Methodology”,
IEEE - Design&Test of Computers,
vol. 14, no. 4, October-December 1997, pp. 69-77.
(versione estesa e rivista di [B7], [B9] e [B10]).
- [A5] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
“Symbolic optimization of interacting controllers based on redundancy identification and removal”,
IEEE - Transactions on Computer-Aided Design of Integrated Circuits and Systems,
vol. 19, no. 7, July 2000, pp. 760-772.
(versione estesa e rivista di [B8]).
- [A6] A. Antola, F. FERRANDI, V. Piuri, M. Sami,
“Semi-Concurrent Error Detection in Data Paths”,
IEEE - Transactions on Computers,
vol. 50, no. 5, May 2001, pp. 449-465.
- [A7] R. Cordone, F.FERRANDI, D. Sciuto, R. Wolfler Calvo,
“An Efficient Heuristic Approach to Solve the Unate Covering Problem”
IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,
vol. 20, n. 12, December 2001, pp. 1377 – 1388.
(versione estesa e rivista di [B32]).
- [A8] F.FERRANDI, F.Fummi, D.Sciuto,
“Test Generation and Testability Alternatives Exploration of Critical Algorithms for Embedded Applications”
IEEE Transactions on Computers, Volume: 51 Issue: 2 , Feb. 2002 Page(s): 200 –215.
(versione estesa e rivista di [B28], [B33])
- [A9] G. Biasoli, F.FERRANDI, A. Fin, F.Fummi, D.Sciuto
“Behavioral Test Generation for the Selection of BIST Logic”
Journal of Systems Architecture, Elsevier Science Publisher, Vol.47, no.10, 2002.
(versione estesa e rivista di [B35]).
- [A10] Ferrandi, F.; Fummi, F.; Pravadelli, G.; Sciuto, D.;
“Identification of design errors through functional testing”
IEEE Transactions on Reliability, Volume: 52 , Issue: 4 , Dec. 2003 Pages:400 – 412.
(versione estesa e rivista di [B30], [B37])

- [A11] Bruschi F.; Ferrandi, F.; Sciuto, D.;
 "A Framework for the Functional Verification of SystemC Models"
 International Journal Of Parallel Programming. Publisher: Springer Science+Business Media B.V , vol. 33, Dec.
 2005, pp. 667-695 ISSN: 0885-7458. doi:[10.1007/s10766-005-8908-x](https://doi.org/10.1007/s10766-005-8908-x).

V.2. Capitoli di libro con comitato di revisione internazionale

- [C1] M.Bombana, F.FERRANDI,
 "Design Methodology for Complex VLSI Devices",
 "Practical Formal Methods for Hardware Design",
 C.D. Kloos, W. Damm (Eds), Berlin: Springer-Verlag 1997, ISBN 3-540-62007-9, pp. 7-22.
 (versione estesa e rivista di [B15] e [B17])
- [C2] M.Bombana, P.Cavalloro, F.FERRANDI, F.Salice,
 "Italtel application of the FORMAT Design Flow",
 "Practical Formal Methods for Hardware Design",
 C.D. Kloos, W. Damm (Eds), Berlin: Springer-Verlag 1997, ISBN 3-540-62007-9, pp. 132-158.
 (versione estesa e rivista di [B15] e [B17])
- [C3] D.Corvino, I.Epicoco, F.FERRANDI, F.Fummi, D.Sciuto,
 "Automatic VHDL Restructuring for RTL Synthesis Optimization and Testability Improvement",
 "Electronic Chips & Systems Design Languages",
 Jean P. Mermet (Eds), Kluwer Academic Publishers, Boston, ISBN 0-7923-7311-1, March 2001.
 (versione estesa e rivista di [B25])
- [C4] F. Ferrandi, A. Fin, F. Fummi, D. Sciuto,
 "Functional test generation".
 In Drechsler, N. Drechsler Evolutionary algorithms for embedded system design.
 Kluwer Academic Publishers, Boston Hardbound, November 2002 ISBN: 1-4020-7276-7.
- [C5] A. Donato, F. Ferrandi, M. Redaelli, M. D. Santambrogio, D. Sciuto.
 Caronte: A methodology for the Implementation of Partially dynamically Self-Reconfiguring Systems on FPGA
 Platforms.
 In: R. REIS, M. RENAUDIN, L. FESQUET, F. G. MORAES. Vlsi-Soc: From Systems To Silicon.
 (vol. 240/2007, pp. 87-109). ISBN: 978-0-387-73660-0. BOSTON: Springer.
 (versione estesa e rivista di [B49])

V.3. Conferenze internazionali con comitato di revisione internazionale

- [B1] M.Bombana, G.Buonanno, P.Cavalloro, F.FERRANDI, D.Sciuto, G.Zaza,
 "An Expert Solution to Functional Testability Analysis of VLSI Circuits",
Proc. SEKE 93 – 5th International Conference on Software Engineering and Knowledge Engineering,
 San Francisco, California, USA, June 16-18 1993, pp. 263-265.
- [B2] M.Bombana, G.Buonanno, P.Cavalloro, F.FERRANDI, D.Sciuto, G.Zaza,
 "Reduction of Fault Detection Cost through Testable Design of Sequential Architectures with Signal Feedbacks",
Proc. IEEE DFT 93 – IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems,
 Venice, Italy, October 27-29 1993, pp. 223-230.
- [B3] M.Bombana, G.Buonanno, P.Cavalloro, F.FERRANDI, D.Sciuto, G.Zaza,
 "Cycles Analysis for Testability of WSI Sequential Architectures",
Proc. IEEE WSI 94 – 6th IEEE International Conference on Wafer Scale Integration,
 San Francisco, California, USA, January 19-21 1994, pp.188-197.
- [B4] D.Sciuto, C.Bolchini, G.Buonanno, F.FERRANDI, M.Bombana, P.Cavalloro, G.Zaza
 "Towards WSI Testable Devices: an Improved Scan Insertion Technique"
Proc. IEEE WSI 95 – 7th IEEE International Conference on Wafer Scale Integration,
 San Francisco, California, USA, January 18-20 1995, pp. 339-348.
- [B5] C.Bolchini, G.Buonanno, F.FERRANDI, D.Sciuto, M.Bombana, P.Cavalloro,
 "Assessment of functional testability properties from VHDL descriptions"
Proc. VHDL-FORUM EUROPE Spring '95 - Working Conference,
 Nantes, France, April 24-25 1995, pp. 84-95.
- [B6] G.Buonanno, F.FERRANDI, D.Sciuto,
 "Data-Path Efficient Testability Analysis Based on BDDs",
Proc. IEEE ISCAS '95 – IEEE International Symposium on Circuits and Systems,
 Seattle, Washington, USA, April 29 - May 3 1995, pp. 2012-2015.

- [B7] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
 “Test Generation for Networks of Interacting FSMs Using Symbolic Techniques”,
Proc. IEEE GLS-VLSI '96 – The 6th Great Lake Symposium on VLSI,
 Ames, Iowa, USA, March 22-23 1996, pp. 208-213.
- [B8] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
 “Symbolic Optimization of FSM Networks Based on Sequential ATPG Techniques”,
Proc. ACM/IEEE DAC – 33rd ACM/IEEE Design Automation Conference,
 Las Vegas, Nevada, USA, June 3-7 1996, pp. 467-470.
- [B9] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
 “BDD-Based Testability Estimation of VHDL Designs”,
Proc. IEEE EURO-DAC '96 – European Design Automation Conference and EURO-VHDL,
 Geneva, Switzerland, Sept. 16-20 1996, pp. 444-449.
Best Paper Award EURO-VHDL '96.
- [B10] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
 “Simplifying Sequential Gate-Level Test Generation Through Exploitation of High-Level Information”,
Proc. ETW '96 – IEEE European Test Workshop,
 Sete Montpellier, France, June 12-14, 1996, pp. 154-158.
- [B11] F.FERRANDI, F.Fummi, R.Bevacqua, L.Guerrazzi,
 “Implicit Test Sequences Compaction for Decreasing Test Application Cost”,
Proc. IEEE ICCD '96 – IEEE International Conference on Computer Design: VLSI in Computers, and Processors,
 Austin, Texas, USA, Oct. 7-9 1996, pp. 384-389.
- [B12] F.FERRANDI, F.Fummi, R.Bevacqua, L.Guerrazzi,
 “Sequential Test Compaction for Test Embedding”,
Proc. OLTW '96 – 2nd IEEE International On-Line Testing Workshop,
 San-Jean De-Luz Biarritz, France, July 8-10 1996, pp. 229-230.
- [B13] G.Buonanno, F.FERRANDI, D.Sciuto,
 “Testability Analysis of Pipelined Data Path”,
Proc. IEEE ISIS '96 – IEEE International Conference on Innovative System in Silicon,
 Austin, Texas, U.S.A, October 9-11, 1996, pp. 259-268.
- [B14] M.Bombana, P.Cavalloro, F.FERRANDI,
 “Good Practice for Property Verification in the design of Telecom Applications”,
Proc. ACM/IEEE ASP-DAC '97 – ACM/IEEE Asia and South Pacific Design Automation Conference,
 Chiba, Japan, January 28-31 1997, pp. 167-172.
- [B15] G.Buonanno, F.FERRANDI, L.Ferrandi, F.Fummi, D.Sciuto,
 “How an “Evolving” Fault Model Improves the Behavioral Test Generation”,
Proc. IEEE GLS-VLSI '97 – The 7th Great Lake Symposium on VLSI,
 Ames, Iowa, USA, March 22-23 1997, pp.124-129.
- [B16] A.Allara, M.Bombana, P.Cavalloro, F.FERRANDI,
 “Requirements and experiences for formal design of telecom systems”,
Proc. Workshop on Formal Design of Safety Critical Embedded Systems,
 Munich, Germany, April 16-18 1997.
- [B17] G.Buonanno, F.FERRANDI, F.Fummi, D.Sciuto, P.Cavalloro,
 “An Extended Testing Methodology for VHDL Based High-Level Design”,
Proc. VHDL Forum for CAD in Europe,
 Toledo, Spain, April 20-25 1997, pp. 63-74.
- [B18] M.Bacis, G.Buonanno, F.FERRANDI, F.Fummi, L.Gerli, D.Sciuto,
 “Application of a Testing Framework to VHDL Descriptions at Different Abstraction Levels”,
Proc. IEEE ICCD '97 – IEEE International Conference on Computer Design: VLSI in Computers and Processors,
 Austin, Texas, 13-15 October, 1997, pp. 654-659.
- [B19] F.FERRANDI, F.Fummi, E.Macii, M.Poncino, D.Sciuto,
 “Power Estimation of Behavioral VHDL Descriptions”,
Proc. IEEE DATE '98 – Design, Automation and Test in Europe,
 Paris, France, February 24-26, 1998, pp. 762-766.

- [B20] F.FERRANDI, F.Fummi, L.Pozzi, M.Sami,
 “Configuration-Specific Test Pattern Extraction for Field Programmable Gate Arrays”,
Proc. IEEE DFT 97 – IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems,
 Paris, France, October 20-22, 1997, pp. 85-93.
- [B21] F.S.Bietti, F.FERRANDI, F.Fummi, D.Sciuto,
 “VHDL Testability Analysis based on Faults Clustering and Implicit Faults Injection”,
Proc. IEEE GLS-VLSI '98 – The 8th Great Lakes Symposium on VLSI,
 Lafayette, Louisiana, 19-21 February, 1998, pp. 237-242.
- [B22] F.FERRANDI, A.Macii, E.Macii, M.Poncino, R.Scarsi, F.Somenzi,
 “Layout-oriented Synthesis of PTL Circuits based on BDDs”,
Proc. IWLS'98 – 1998 IEEE/ACM International Workshop on Logic Synthesis,
 Lake Tahoe, California, 7-10 June, 1998.
- [B23] M.Bombana, P.Cavalloro, F.FERRANDI, F.Fummi, D.Sciuto,
 “Implicit Testability Techniques for VHDL Based ASIC Design”,
Proc. ETW'98 – IEEE European Test Workshop,
 Barcelona, Spain, May 27-29, 1998, pp. 133-134.
- [B24] F.FERRANDI, F.Fummi, D.Sciuto,
 “Behavioral Test Generation for Test Embedding”,
Proc. IOLTW '98 – 4th IEEE Int. On-Line Testing Workshop,
 Capri, Italy, July 6-8, 1998, pp. 100-104.
- [B25] D.Corvino, I.Epicoco, F.FERRANDI, F.Fummi, D.Sciuto,
 “Controller and Data-Path Separation by VHDL Restructuring”,
Proc. Forum on Design Languages – FDL'98: VHDL Users' Forum in Europe (VUFE),
 Lausanne, Switzerland, Sept. 7-11 1998, pp. 237-243.
Selezionato fra i migliori articoli della conferenza e invitato per la pubblicazione su libro edito da Kluwer Academic Publishers.
- [B26] M.Bombana, P.Cavalloro, F.FERRANDI, F.Fummi, D.Sciuto,
 “The REQUEST Testability methodology for VHDL based ASIC design”,
Proc. Forum on Design Languages – FDL'98: VHDL Users' Forum in Europe (VUFE),
 Lausanne, Switzerland, Sept. 7-11 1998, pp. 209-215.
- [B27] D.Corvino, I.Epicoco, F.FERRANDI, F.Fummi, D.Sciuto,
 “Automatic VHDL Restructuring for RTL Synthesis Optimization and Testability Improvement”,
Proc. IEEE ICCD '98 – IEEE International Conference on Computer Design: VLSI in Computers and Processors,
 Austin, Texas, USA, Oct. 5-7 1998, pp. 436-441.
- [B28] F.FERRANDI, F.Fummi, D.Sciuto,
 “Implicit Test Generation for Behavioral VHDL Models”,
Proc. IEEE ITC'98 – IEEE International Test Conference,
 Washington, D.C., USA, Oct. 18-23, 1998, pp. 587-596.
- [B29] F.FERRANDI, A.Macii, E.Macii, M.Poncino, R.Scarsi, F.Somenzi,
 “Symbolic algorithms for layout-oriented synthesis of pass transistor logic circuits Symbolic Algorithms for Layout-Oriented PTL Synthesis”,
Proc. ACM/IEEE ICCAD'98 – ACM/IEEE International Conference on Computer-Aided Design,
 San Jose, CA, November 8 - 12, 1998, pp. 235 -241.
- [B30] F.FERRANDI, F.Fummi, L.Gerli, D.Sciuto,
 “Symbolic functional vector generation for VHDL specifications”
Proc. IEEE DATE '99 – Design, Automation and Test in Europe,
 Munich, Germany, March 9-12,1999, pp. 442-446.
Best Paper Award DATE '99.
- [B31] M.Brera, F.FERRANDI, D.Sciuto, F. Fummi,
 “Increase the Behavioral Fault Model Accuracy Using High-Level Synthesis Information”,
Proc. IEEE DFT 99 – IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems,
 Albuquerque, New Mexico, November 1-3, 1999, pp. 174-180.
- [B32] R. Cordone, F.FERRANDI, D. Sciuto, R. Wolfler Calvo,
 “An Efficient Heuristic Approach to Solve the Unate Covering Problem”
Proc. IEEE DATE 2000 – Design, Automation and Test in Europe,
 Paris, Franch, March 27 - 30, 2000, pp. 364-371.

- [B33] F. FERRANDI, G. Ferrara, G. Fornara, F. Fummi, D. Sciuto,
 “Testability Alternatives Exploration through Functional Testing”,
Proc. IEEE VTS 2000 – 18th IEEE VLSI Test Symposium,
 Montreal, Canada, April 30- May 4, 2000, pp. 124-129.
- [B34] F. FERRANDI, A. Fin, F. Fummi, D. Sciuto,
 “An Application of Genetic Algorithms and BDDs to Functional Testing”,
Proc. IEEE ICCD’00 – IEEE International Conference on Computer Design: VLSI in Computers and Processors,
 Austin, Texas, September 17-20, 2000, pp. 48-56.
- [B35] G. Biasoli, F. FERRANDI, A. Fin, F. Fummi, D. Sciuto,
 “BIST Architectures Selection Based on Behavioral Testing”,
Proc. IEEE DFT’00 – IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems,
 Yamanashi, Japan, October 25-27, 2000, pp. 292-298.
- [B36] M. Beardo, F. Bruschi, F. FERRANDI, D. Sciuto,
 “An Approach to Functional Testing of VLIW Architectures”,
Proc. IEEE HLDVT’00 – 5th IEEE International Workshop on High Level Design Validation and Test,
 Berkeley, California, USA, November 8-10, 2000, pp. 29-33.
- [B37] F. FERRANDI, G. Ferrara, D. Sciuto, A. Fin, F. Fummi,
 “Functional Test Generation for Behaviorally Sequential Models”,
Proc. IEEE DATE 2001 – Design, Automation and Test in Europe,
 Munich, Germany, March 13-16, 2001, pp. 403-410.
- [B38] A. Allara, M. Bombana, P. Cavalloro F. FERRANDI,
 “Requirements for synthesis-oriented modeling in SystemC”,
Proc. FDL’01 – Forum on Design Languages,
 Lyon, France, September 3-7, 2001.
- [B39] F. FERRANDI, M. Rendine, D. Sciuto,
 “Functional verification for SystemC descriptions using constraint solving”,
Proc. IEEE DATE 2002 – Design, Automation and Test in Europe,
 Paris, France, March 4-8, 2002.
- [B40] F. Bruschi, M. Chiamenti, F. FERRANDI, D. Sciuto,
 “Error simulation based on the SystemC design description language”,
Proc. IEEE DATE 2002 – Design, Automation and Test in Europe,
 Paris, France, March 4-8, 2002.
- [B41] M. Bombana, F. Bruschi, F. FERRANDI, D. Sciuto,
 “SystemC Specification of a Telecom PCI-compatible Interface”,
Proc. IEEE DATE 2002 – Design, Automation and Test in Europe,
 Paris, France, March 4-8, 2002.
- [B42] Francesco Bruschi, F. FERRANDI
 “Synthesis of complex control structures from behavioral SystemC models”
Proc. IEEE DATE 2003 – Design, Automation and Test in Europe,
 Munich, Germany, March 3-7, 2003, pp. 112-117.
- [B43] Fabrizio Ferrandi, Pier Luca Lanzi, and Donatella Sciuto.
 “Mining Interesting Patterns from Hardware-Software Codesign Data with the Learning Classifier System XCS”.
Proc. IEEE CEC 2003 – Congress on Evolutionary Computation,
 Canberra, Australia, 9-12 December 2003, pp. 1486–1492.
- [B44] F. FERRANDI, Pier Luca Lanzi, Donatella Sciuto, Mara Tanelli
 “System-level metrics for hardware/software architectural mapping”
Proc. 2nd IEEE International Workshop on Electronic Design, Test and Applications (DELTA 2004),
 Perth, Australia, 28-30 January 2004, pp. 231-236.
- [B45] F. FERRANDI, Pier Luca Lanzi, Donatella Sciuto,
 ”System Level Hardware-Software Design Exploration with XCS”
 In Proceedings of the Genetic and Evolutionary Computation Conference (GECCO’04), pp. 763-773.
- [B46] F. FERRANDI, Marco D. Santambrogio, Donatella Sciuto,
 ”A Design Methodology for Dynamic Reconfiguration: The Caronte Architecture”,
 In Proceedings of the 12th Reconfigurable Architectures Workshop (RAW 2005),
 Denver, Colorado, USA, April 4 - 5, 2005. pp. 163b-167b.

- [B47] Donato A., Ferrandi F., Redaelli M., Santambrogio M.D., Sciuto D.
 “Caronte: A Complete Methodology for the Implementation of Partially Dynamically Self-Reconfiguring Systems on FPGA Platforms.”.13th Annual IEEE Symposium on Field-Programmable Custom Computing Machines FCCM 2005. (pp. 321-322).
- [B48] A. Donato, F. Ferrandi, M. Redaelli, M. D. Santambrogio, D. Sciuto.
 “Operating system support for dynamically reconfigurable SoC architectures”,
 IEEE International SOC Conference – IEEE-SOCC 2005, Washington (DC), USA. Sep 25-28, 2005. (pp. 233-238). doi:10.1109/SOCC.2005.1554501.
- [B49] A. Donato, F. Ferrandi, M. Redaelli, M. D. Santambrogio, D. Sciuto.
 “Exploiting partial dynamic reconfiguration for SoC design of complex application on FPGA platforms.”,
 IFIP International conf. on Very Large Scale Integration. Perth, Australia. October 17-19 2005, pp. 179-184.
Selezionato fra i migliori articoli della conferenza e invitato per la pubblicazione su un libro edito da Springer Verlag ([C5]).
- [B50] F. Ferrandi, M. Redaelli, M. D. Santambrogio, D. Sciuto.
 “Solving the Coloring Problem to Schedule on Partially Dynamically Reconfigurable Hardware.”,
 IFIP International conf. on Very Large Scale Integration, pp. 97-102s, 17-19 October 2005.
- [B51] R. Cordone, F. Ferrandi, G. Palermo, M. D. Santambrogio, D. Sciuto,
 “Using Speculative Computation and Parallelizing Techniques to Improve Scheduling of Control based Designs”,
Proc. 11th IEEE/ACM Asia and South Pacific Design Automation Conference, ASP-DAC 2006,
 January 2006, pp. 898-904.
- [B52] S. Borgio, D. Bosisio, Ferrandi F., M. D. Santambrogio, D. Sciuto, A. Tumeo.
 “Hardware DWT accelerator for MultiProcessor System On-Chip on FPGA”.
Proc. IEEE Int. Conf. SAMOS VI: Embedded Computer Systems: Architectures, Modeling, and Simulation,
 Samos (Greece), July 17-20, 2006, pp.107-114.
- [B53] Ferrandi F., M. Morandi, M. Novati, M. D. Santambrogio, D. Sciuto.
 “Dynamic Reconfiguration: Core Relocation via Partial Bitstreams Filtering with Minimal Overhead”.
Proc. International Symposium on System-on-Chip 2006,
 Tampere (Finland), November 13-16, 2006, pp. 33-36.
- [B54] Ferrandi F., Ferrara G, Palazzo R, Rana V, Santambrogio M.D.
 “VHDL to FPGA automatic IP-Core generation: a case study on Xilinx design flow”.
Proc. Int. Parallel and Distributed Processing Symp. - Reconfigurable Architecture Workshop – RAW.
 Rhodes Island (Greece), 2- 29 April 2006. pp. 219-219.
- [B55] Ferrandi F., A. Mele, V. Rana, M. D. Santambrogio, D. Sciuto.
 “A Caronte-oriented approach to a network-based educational infrastructure”.
Proc. European Workshop on Microelectronics Education EWME-2006,
 Stockholm (Sweden), June 8-9 2006, pp. 133-136.
- [B56] C. Amicucci, Ferrandi F., M. D. Santambrogio, D. Sciuto.
 “SyCERS: a SystemC Design Exploration Framework for SoC Reconfigurable Architecture”.
Proc. Int. Conference on Engineering of Reconfigurable Systems & Algorithms,
 Las Vegas, Nevada, USA, June 26-29, 2006, pp. 63-69.
- [B57] T. Gravagnoli, Fabrizio Ferrandi, P. L. Lanzi, D. Sciuto,
 “Automatic Test Pattern Generation with BOA”,
Proc. PPSN 2006 9th International Conference on Parallel Problem Solving from Nature,
 Reykjavik (Iceland), 9-13 September 2006, pp. 423-432.
- [B58] F. Bruschi, F. Ferrandi,
 “A systemC based framework for the early evaluation of communication architectures”,
Proc. Forum on Specification & Design Languages, FDL’06,
 Darmstadt (Germany), 19-22 September 2006, pp. 319-326.
- [B59] Tumeo A, Monchiero M, Palermo G, Ferrandi F., Sciuto D.
 “A Design Kit for a Fully Working Shared Memory Multiprocessor on FPGA”.
Proc. ACM Great Lakes Symposium on VLSI.
 Stresa-Lago Maggiore (Italy). March 11–13, 2007, pp. 219 – 222.
- [B60] S. Corbetta, Ferrandi F., M. Morandi, M. Novati, M. D. Santambrogio, D. Sciuto.
 “Two Novel Approaches to Online Partial Bitstream Relocation in a Dynamically Reconfigurable System”.
Proc. IEEE Computer Society Annual Symposium on VLSI.
 Porto Allegre (Brasil), May 09 - 11, 2007, pp. 457-458.

- [B61] A. P. E. Rosiello, Ferrandi F., D. Pandini, D. Sciuto.
 “A Hash-based Approach for Functional Regularity Extraction During Logic Synthesis”.
Proc. of the IEEE Computer Society Annual Symposium on VLSI.
 Porto Allegre (Brasil), May 09 - 11, 2007, pp. 92-97.
- [B62] A. Tumeo, M. Monchiero, G. Palermo, Ferrandi F., D. Sciuto.
 “A Pipelined Fast 2D-DCT Accelerator for FPGA-based SoCs”.
Proc. IEEE Computer Society Annual Symposium on VLSI.
 Porto Allegre (Brasil), May 09 - 11, 2007, pp. 331-336.
- [B63] A. Tumeo, M. Monchiero, G. Palermo, Ferrandi F., D. Sciuto.
 “An Internal Partial Dynamic Reconfiguration Implementation of the JPEG Encoder for Low-Cost FPGAs”.
Proc. IEEE Computer Society Annual Symposium on VLSI.
 Porto Allegre (Brasil), May 09 - 11, 2007, pp. 449-450.
- [B64] Ferrandi F., P. L. Lanzi, G. Palermo, C. Pilato, D. Sciuto, and A. Tumeo.
 “An Evolutionary Approach to Area-Time Optimization of FPGA designs”.
Proc. IEEE Int. Conf. SAMOS VI: Embedded Computer Systems: Architectures, MOdeling, and Simulation,
 Samos (Greece), July 16-19 2007, pp. 145-152.
- [B65] A. Tumeo, M. Branca, L. Camerini, M. Monchiero, G. Palermo, Ferrandi F., and D. Sciuto.
 “An Interrupt Controller for FPGA-based Multiprocessors”.
Proc. IEEE Int. Conf. SAMOS VI: Embedded Computer Systems: Architectures, MOdeling, and Simulation.
 Samos (Greece), July 16-19 2007, pp. 82-87.
- [B66] Ferrandi F., L. Fossati, M. Lattuada, G. Palermo, D. Sciuto, A. Tumeo.
 “Automatic parallelization of sequential specifications for symmetric MPSoCs”.
Proc. International Embedded Systems Symposium (IESS 2007)
 May 30 - June 1, 2007, Irvine, CA, USA, pp. 179-192.
- [B67] A. Tumeo, M. Monchiero, G. Palermo, Ferrandi F., D. Sciuto.
 “Self Reconfigurable Implementation of the JPEG Encoder”.
Proc. IEEE International Conference on Application-specific Systems, Architectures and Processors.
 Montréal (Québec), Canada, July 9-11, 2007 –pp. 24-29.
- [B68] C. Pilato, G. Palermo, A. Tumeo, Ferrandi F., P. L. Lanzi, D. Sciuto.
 “Fitness Inheritance in Evolutionary and Multi-Objective High-Level Synthesis”.
Proc. IEEE CEC 2007 - Congress on Evolutionary Computation.
 Singapore, Sept. 25-28 2007, pp. 3459-3466.
- [B69] F. Ferrandi, L. Fossati, M. Lattuada, G. Palermo, D. Sciuto, A. Tumeo
 “Partitioning and Mapping for the hArtes European Project”
 Workshop on Directions in FPGAs and Reconfigurable Systems: Design, Programming and Technologies for
 adaptive heterogeneous Systems-on-Chip and their European Dimensions, held during Design Automation and
 Test in Europe 2007 (DATE '07),
 20 April 2007 Nice, France. pp. 47-52. **(Invited Paper)**.
- [B70] A. Tumeo, M. Branca, L. Camerini, M. Ceriani, M. Monchiero, G. Palermo, F. Ferrandi, D. Sciuto.
 “A dual-priority real-time multiprocessor system on FPGA for automotive applications”,
Proc. IEEE DATE 2008 – Design, Automation and Test in Europe.
 Monaco di Baviera (Germany). March 10-14 2008. pp.
- [B71] C. Pilato, D. Loiacono, Ferrandi F., P. L. Lanzi, D. Sciuto.
 “High-level Synthesis with Multi-objective Genetic Algorithm: a Comparative Encoding Analysis”,
Proc. IEEE CEC 2008 – Congress on Evolutionary Computation,
 Hong Kong (China), June 1-6, 2008, pp.

V.4. PhD thesis

- [D1] F.FERRANDI,
 “Metodologie di Supporto alla Progettazione di Sistemi Digitali Testabili”,
 Ph.D. thesis, DEI, Politecnico di Milano, February. 1997.

VI. Altre pubblicazioni

VI.1. Rapporti interni

- [F1] F.FERRANDI,
“Generazione automatica di alberi di clock per circuiti elettronici”,
Internal Report n. 94-071, 1994.
- [F2] C.Bolchini, F.FERRANDI, F.Salice, D.Sciuto,
“An Extension to Boolean Equations and Inequalities Based on Binary Decision Diagrams”,
Internal Report n. 96-018, 1996.
- [F3] G.Buonanno, F.FERRANDI, D.Sciuto,
“BDD Based Algorithms for Testability Analysis of Data-Path Architectures”,
Internal Report n. 96-020, 1996.
- [F4] G.Buonanno, F.FERRANDI, L.Ferrandi, D.Sciuto,
“Test Cost Estimation from Behavioral VHDL Descriptions”,
Internal Report n. 96-039, 1996.
- [F5] F.FERRANDI,
“Formal Design Methodology and Application to Complex VLSI Devices”,
Internal Report n. 96-134, 1996.
- [F7] G.Buonanno, F.FERRANDI, D.Sciuto,
“Testability Analysis of Pipelined Data Paths”,
Internal report.
- [F8] F.FERRANDI, F.Fummi, L.Pozzi,
“Configuration Specific Test Generation for FPGA Logic”,
rapporto interno 0701-99, DSET, Università di Verona.
- [F9] F.FERRANDI, F.Fummi, D.Sciuto,
“Design Verification of VHDL Specifications through Functional Testing”,
rapporto interno 0802-99, DSET, Università di Verona.
- [F10] F.FERRANDI, F.Fummi, D.Sciuto,
“Symbolic Sequential Test Sequences Compaction”,
Internal Report.
- [F11] “Formality and FormalPro Evaluation Report”, S. Catenacci, G. Ferrara, E. Trucco, F. FERRANDI, Siemens ICN
internal report, September 2000.

VI.2. Rapporti Tecnici Progetti europei

- [G1] M.Bombana, P.Cavalloro, C.Costi, G.Zaza, C.Bolchini, G.Buonanno, F.FERRANDI, D.Sciuto,
“Testability Analyzer”,
Technical Report of WP2.3-4, Esprit project n. 5020 - PATRICIA, December 1992.
- [G2] G.Bezzi, A.Balboni, M.Bombana, P.Cavalloro, C.Costi, G.Zaza, C.Bolchini, G.Buonanno, F.FERRANDI, D.Sciuto,
“Application of the PATRICIA tools: the user's point of view”,
Technical Report of WP2.4-1, Esprit project n. 5020 - PATRICIA, March 1994.
- [G3] M.Bombana, P.Cavalloro, C.Costi, G.Zaza, C.Bolchini, G.Buonanno, F.FERRANDI, D.Sciuto,
“Assessment of testability properties from VHDL descriptions”,
Technical Report of WP2.3-5, Esprit project n. 5020 - PATRICIA, March 1994.
- [G4] C.Bolchini, G.Buonanno, F.FERRANDI, F.Fummi, D.Sciuto, M.Bombana, P.Cavalloro, P.M.Borrego,
“Definition of methodology for testability analysis at the RTL and CDFG levels. Requirement specs for Functional
Pattern Quality Evaluator.”,
Technical Report of Deliverable 2.3.A, Esprit project n. 20616 - REQUEST, April 1996.
- [G5] F.FERRANDI, F.Fummi, D.Sciuto,
“Report on testability analysis at the CDFG and RT levels – COMMIT –”,
Technical Report of Deliverable 2.3.C – I, Esprit project n. 20616 - REQUEST, May 1997.

- [G6] F.FERRANDI, F.Fummi, D.Sciuto,
“Report on test pattern generation and testable design for IFSMs– IFSMTest –”,
Technical Report of Deliverable 2.3.C – III, Esprit project n. 20616 - REQUEST, May 1997.
- [G7] C. Pilato, A. Tumeo, L. Fossati, M. Lattuada, F. Ferrandi, D. Sciuto,
“D2.3 Report on progress of the Design Space Exploration Toolbox development”,
Technical Report of Deliverable D2.3 , Sixth Framework Programme project n. 035143- hArtes, Semptember
August 31 2007.

Milano, 30 Gennaio, 2008

Fabrizio Ferrandi