



Reti logiche A

All. Informatici (M-Z)

Fabrizio Ferrandi

a.a. 2003-2004



Contenuti - Progetto logico di sistemi digitali

- **Metodologie di progetto** per la realizzazione dei dispositivi di elaborazione
 - costruire dispositivi di grande dimensioni partendo da componenti semplici
 - applicazioni
 - Progetto di calcolatori
 - Sistemi di telecomunicazioni e di rete
 - Sistemi embedded
 - Sistemi industriali

 - Sintesi e ottimizzazione dei circuiti combinatori
 - Il concetto di stato nei sistemi digitali
 - Sintesi dei circuiti sequenziali sincroni
 - Sintesi di circuiti sequenziali asincroni
 - Componenti programmabili e introduzione alle metodologie di progetto automatico (VHDL e ambiente)
-



Cosa significa progetto logico

- ❑ **Progetto HW**
 - ❑ data la specifica del problema, identificare un metodologia di soluzione scegliendo in modo appropriato le unità funzionali necessarie per soddisfare vincoli di progetto quali area di silicio, costi, tempi, consumo di potenza..

 - ❑ **Progetto logico**
 - ❑ determinare un insieme di componenti digitali (famiglie di porte logiche) per realizzare le unità funzionali individuate a più alto livello
 - ❑ scegliere tra le diverse tecnologie implementative
 - ❑ ottimizzare e trasformare la soluzione identificata per soddisfare i vincoli
-



Flusso di progettazione dei sistemi digitali

Livelli di astrazione

Compiti di progetto

Livello comportamentale

□ Specifica di sistema

- descrizione comportamentale + vincoli non funzionali

Livello registro - unità funzionale

□ Progetto architeturale

- unità funzionali, registri e interconnessioni (percorsi di dati e segnali di controllo)
- descrizione RTL (Register Transfer Level)

Livello logico

□ Progetto logico

Livello geometrico

□ Disegno delle maschere

□ *Produzione*



Sintesi

Ad ogni passaggio da un livello di astrazione più elevato ad uno inferiore corrisponde una *fase di sintesi*

- **sintesi**: insieme di tecniche di ottimizzazione (manuale/automatica)

- Sintesi Comportamentale:

- Partitioning
- Pipelining
- Scheduling
- Allocazione delle risorse

- Sintesi Logica:

- Ottimizzazione di macchine sequenziali
- Minimizzazione logica multilivello - 2 livelli
- Technology mapping

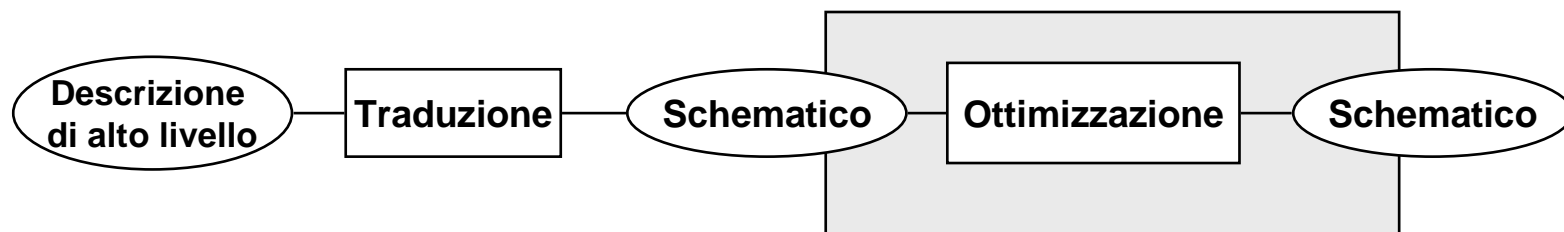
- Sintesi Fisica:

- Clock buffer-tree design
 - Placement e routing ottimale
-



Sintesi automatica a livello logico

- Conversione da una descrizione HDL ad una *net-list* ottimizzata ed indirizzata ad una particolare tecnica realizzativa (es: standard_cell, gate array,)
 - Traduzione da HDL a net-list
 - da net-list a net-list ottimale
 - da net-list ottimale a net-list ottimale di blocchi





Sintesi automatica a livello logico: *obiettivi*

- ❑ Automatizza la fase di progetto logico di un circuito digitale.
- ❑ Gestisce vincoli di progetto:
 - area, ritardi, potenza, testabilità, limitazioni di fan-in e fan-out.
- ❑ Produce ottimizzazioni di alta qualità (comparabili con quelle manuali)
 - area-tempo.
- ❑ Adattabile ad ampie categorie di librerie e tecnologie.



Spazi di rappresentazione del progetto digitale (astrazioni)

- (Interpretazione digitale dei segnali analogici)
- Dispositivi fisici (transistors)
- Switch
- Tabelle della verità
- Algebra Booleana
- Porte logiche
- Macchine a stati finiti
- Forme d'onda
- Linguaggi di descrizione dello hardware
- Descrizioni Register-transfer
- Specifiche astratte concorrenti

Corso di
Reti
logiche



Struttura del corso

□ I PARTE

- Sintesi combinatoria
 - Introduzione alla minimizzazione: espressioni e mappe di Karnaugh
 - Minimizzazione esatta: Quine-McCluskey a singola uscita e a più uscite
 - Introduzione alla sintesi euristica a 2 livelli e multilivello
- Aritmetica e architetture aritmetiche

□ II PARTE

- Sintesi sequenziale
 - Sintesi e ottimizzazione di macchine sincrone a stati finiti
 - Progetto di contatori
 - Componenti programmabili: architettura e sintesi
- Introduzione al flusso di progettazione e al linguaggio VHDL



Materiale didattico

- Materiale preparato dai docenti
 - Home page Ferrandi: www.elet.polimi.it/people/ferrandi
 - Home page Palermo: www.elet.polimi.it/people/gpalermo
- Testi consigliati
 - F.Fummi, M.G.Sami, C.Silvano “Progettazione digitale” - McGraw Hill - Capp. 2.9-2.11, 3, 4.1-4.4, 5, 6.1-6.5, 9, A2
 - R.Katz “Contemporary Logic Design” - The Benjamin/Cummings Publishing Company, 1994 - Capp. 1-10
- Docenti e collaboratori
 - Fabrizio Ferrandi - Dipartimento di Elettronica e Informazione, I piano, tel. 02 2399 3479, e-mail ferrandi@elet.polimi.it, ricevimento: giovedì 14.15-16.15
 - Gianluca Palermo - Dipartimento di Elettronica e Informazione, tel. 02 2399 3483, e-mail gpalermo@elet.polimi.it



Modalità di svolgimento delle prove di verifica

- Prerequisito: superamento dell'esame di Informatica 2
- Valutazione: le prove d'esame assegnano 32 punti corrispondenti al 30 e Lode
 - I Prova (metà novembre)
 - Argomento: Parte I
 - Punteggio 16 (minimo 5)
 - II Prova (fine gennaio-inizio febbraio)
 - Argomento: Parte II
 - Punteggio 16 (minimo 7)
 - Voto esame ≥ 18
 - Esami (febbraio - luglio - settembre)
 - E' possibile recuperare le prove nelle sessioni disponibili
 - **Obbligo iscrizione prove ed esami**



Attività di progetto - 2,5 crediti

- **Progetto di Reti logiche A** - 2.5 crediti - (scelta nel Gruppo LAB del piano degli studi) - Docente: *Prof. Francesco Bruschi*
 - Home page Bruschi: www.elet.polimi.it/people/bruschi
 - Indirizzo di posta elettronica: bruschi@elet.polimi.it
 - Votazione e verbalizzazione separata rispetto all'esame del corso
 - Non è possibile registrare l'attività di progetto senza aver superato positivamente l'esame del corso
 - La votazione del corso e quella del progetto devono essere verbalizzate entro Settembre '04
 - Nessuna penalizzazione è prevista per gli studenti in caso di "abbandono" del progetto o di non sufficienza

- I temi dei progetti verranno presentati in aula all'inizio di gennaio
- Sono consentiti gruppi di massimo 3 persone per progetto
- La valutazione del progetto avviene mediante discussione del materiale presentato



Modalità di svolgimento del progetto

- L'attività svolta deve comprendere:
 - il **progetto** di un sistema digitale partendo da VHDL fino alla sintesi su FPGA Xilinx, includendo i file della specifica VHDL, della sintesi e del file da caricare sulla FPGA per la programmazione. L'ambiente di progetto è WebPack di Xilinx che può essere liberamente scaricato, previa registrazione, dall'indirizzo <http://www.xilinx.com/sxpresso/webpack.htm>.
 - la **documentazione** che include:
 - ☞ la specifica del progetto da svolgere individuando precisamente le funzionalità
 - ☞ l'identificazione della struttura generale del sistema digitale, individuando i moduli e le interfacce
 - ☞ la specifica commentata dei moduli VHDL sviluppati
 - ☞ i risultati della simulazione commentata
 - ☞ i risultati della sintesi dei singoli moduli e del circuito intero, identificandone e commentandone le caratteristiche principali (area, clock...)